

**PROGRAMA DE PÓS-GRADUAÇÃO EM
SISTEMAS E PROCESSOS INDUSTRIAIS - MESTRADO**

Cristiano Rosa dos Santos

**REDUÇÃO DO CONSUMO DE POTÊNCIA DE CIRCUITOS
INTEGRADOS UTILIZANDO ESQUEMAS DE CODIFICAÇÃO EM
CONJUNTO COM A FERRAMENTA ORION**

Santa Cruz do Sul, Janeiro de 2010

Cristiano Rosa dos Santos

**REDUÇÃO DO CONSUMO DE POTÊNCIA DE CIRCUITOS
INTEGRADOS UTILIZANDO ESQUEMAS DE CODIFICAÇÃO EM
CONJUNTO COM A FERRAMENTA ORION**

Dissertação apresentada ao Programa de Pós-Graduação Sistemas e Processos Industriais – Mestrado, Área de Concentração em Controle e Otimização de Processos Industriais, Universidade de Santa Cruz do Sul, como requisito parcial para obtenção do título de Mestre em Sistemas e Processos Industriais.

Orientador: Prof. Dr. João Carlos Furtado

Coorientador: Prof. Dr. Márcio Eduardo Kreutz

Santa Cruz do Sul, Janeiro de 2010

AGRADECIMENTOS

Agradeço aos meus pais tudo que fizeram por mim e ao meu irmão Danilo por ter me auxiliado em algumas horas difíceis no trabalho.

Agradeço a minha amada Carla, por tudo que ela me ajudou, principalmente nas horas difíceis, e principalmente, por ter me aturado.

Agradeço ao meu orientador, professor Dr. João Carlos Furtado, pela ajuda, disponibilidade e principalmente paciência.

Agradeço ao Professor Dr. Eduardo Antônio Cesar da Costa, da UCPEL, e ao professor Marcio Eduardo Kreutz, da UFRN, por toda a ajuda que deram durante este período.

Agradeço aos amigos Alam Carlos Correa, da UNISC, e Edevaldo Braga dos Santos, da UCPEL, pela ajuda na integração entre o Orion - PopNet e as codificações, pois sem eles, eu não teria conseguido, além do colega Taiser Barros.

Agradeço à Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – Capes pelo auxílio financeiro.

RESUMO

O aumento constante da densidade de integração e do desempenho dos circuitos integrados permitem sistemas cada vez mais complexos em um único chip, o que aumenta conseqüentemente o consumo de potência, mesmo utilizando redes em chip (NoC) nas arquiteturas de barramento. Existem diversas formas para reduzir o consumo de potência de uma NoC. Como exemplo, uma possibilidade é reduzir o número de chaveamentos dos roteadores durante uma comunicação - técnicas de codificações de operandos - durante as comunicações. Este trabalho tem como propósito estudar técnicas que visam a redução do consumo de potência de redes em chip. Para tanto, diferentes técnicas de codificação de operandos serão comparadas.

Palavras-Chave: Redes em Chip, esquemas de codificação de dados, Orion, consumo de potência

ABSTRACT

The constant increase of integration density and performance of integrated circuits allow increasingly complex systems on a single chip, which therefore increases the power consumption, even using network on chip (NoC) in bus architectures. There are several ways to reduce the power consumption on the NoC`s. As an example, it is possible to reduce the number of switching routers for communication - the Operands Encode technique - during communications. This work aims to investigate techniques to reduce power consumption in the networks on chip. For this purpose, different techniques for encoding operands are compared.

Key-words: Networks-on-Chip, Data Coding Schemes, Orion, Power consumption.

LISTA DE ABREVIATURAS

CI	Circuito Integrado
ITRS	<i>International Technology Roadmap for Semiconductors</i>
nm	nano-metro
SoC	<i>Systems on Chip</i>
MPSoCs	<i>MultiProcessor Systems-on-Chip</i>
NoC	<i>Network-on-Chip</i>
IP Blocks	<i>Intellectual Property Blocks</i>
Orion	<i>Open Research Infrastructure for Optimizing Networks</i>
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
PopNet	Simulador NoC
P_{CC}	Potência de curto-circuito
P_{EST}	Potência Estática
P_{DIN}	Potência dinâmica
PMOS	<i>Positive Channel Metal Oxide Semiconductor</i>
NMOS	<i>Negative Channel Metal Oxide Semiconductor</i>
V_t	Tensão de Limiar
Vdd	Tensão de Alimentação
V_T	Tensão termal
F_{CLK}	Frequência de clock
C_L	Capacitância de carga
C_G	Capacitância do Gate
C_{GD}	Capacitância gate-dreno
FIFO	<i>First In First Out</i>
PHIT	<i>Physical Unit</i>
FLIT	<i>FLow control unITS</i>
CBDA	<i>Centrally-Buffered, Dynamically-Allocated</i>
SAFC	<i>Statically Allocated, Fully Connected</i>

SAMQ	<i>Statically Allocated Multi-Queue</i>
DAMQ	<i>Dynamically-Allocated Multi-Queue</i>
E/S	Entrada/Saída
MSG	Mensagem

LISTA DE FIGURAS

Figura 1: Metodologia utilizada neste trabalho.	18
Figura 2: Corrente de Curto-Circuito durante transientes de um inversor.	22
Figura 3 - Representação da corrente de fuga reversa.	24
Figura 4: Processo de carga e descarga das capacitâncias da saída do <i>gate</i>	25
Figura 5: Capacitâncias de nós.	25
Figura 6: Processo da atividade de <i>glitching</i>	27
Figura 7: Esquemas de transmissão e recepção de dados em barramentos.	29
Figura 8: conversão do código binário para o código <i>Gray</i> utilizando portas <i>XOR</i>	30
Figura 9: conversão do código <i>Gray</i> para o código binário utilizando portas <i>XOR</i>	31
Figura 10: conversão do código binário para o código <i>Transition</i> utilizando portas <i>XOR</i>	33
Figura 11: conversão do código <i>Transition</i> para o código binário utilizando portas <i>XOR</i>	33
Figura 12: Codificação / decodificação de um sinal de 8 bits com o código híbrido $m=2$, utilizando portas <i>XOR</i>	35
Figura 13: Codificação / decodificação de um sinal de 8 bits com o código híbrido $m=4$, utilizando portas <i>XOR</i>	35
Figura 14: NoC: (a) Com topologia em anel; (b) Nodos de processamento; (c) Nodos de chaveamento.	39
Figura 15: Esquema de roteadores.	40
Figura 16: Estrutura <i>Crossbar</i>	40
Figura 17: Topologia básica da NoC.	40
Figura 18: Rede Direta tipo <i>mesh</i>	41
Figura 19: Rede indireta - topologia árvore gorda.	42
Figura 20: Estrutura de uma mensagem.	43
Figura 21: Roteador com quatro <i>Buffers</i> FIFO.	46
Figura 22: Roteador com quatro <i>Buffers</i> : (a) SAFC; (b) SAMQ; (c) DAMQ.	46
Figura 23: <i>Deadlock</i> : (a) roteador; (b) pacotes em <i>deadlock</i> ; (c) dependência cíclica.	48
Figura 24: <i>Buffer</i> FIFO.	53

Figura 25: Matriz do <i>Crossbar</i> Wlinhas x Wcolunas.....	54
Figura 26: Estrutura de um Roteador <i>Wormhole</i>	55
Figura 27: fluxo de funcionamento do PopNet para a implementação deste trabalho	57
Figura28: Tela de apresentação dos resultados do simulador PopNet	59
Figura 29: geração de pacote de mensagens no arquivo sim_router.cc.....	60
Figura 30: processo de envio de mensagens pelos roteadores.....	61
Figura 31: Gráficos do Consumo de Potência Total, simulado no POPNET, a partir de <i>flits</i> gerados por números aleatórios, com valor mínimo (a) 0000000000000000(Hex), (b) 000000FFFFFFFFFFFFhex.	67
Figura 32: Gráficos do Consumo de Potência Total simulado no POPNET, a partir de <i>flits</i> gerados em seqüência, de modo a formar uma rampa, com o valor mínimo (a) 0000000000000000hex, (b) FFFFFFFFFFFFFFC184hex.....	68
Figura 33: Gráficos Consumo de Potência Total simulado no POPNET, a partir de <i>flits</i> gerados em seqüência, de modo a formar uma senóide, com o valor mínimo (a) 0000000000000000hex, (b) FFFFFFFFFF000000hex.....	69

LISTA DE TABELAS

Tabela 1: Exemplo de funcionamento do método <i>Gray</i> em um canal de comunicação com largura de 8 bits.	31
Tabela 2: Exemplo de funcionamento do método <i>Transition</i> em um canal de comunicação com largura de 8 bits.	32
Tabela 3 - Representação dos códigos Binário, Híbrido (m=2), híbrido (m=4) e <i>Gray</i>	34
Tabela 4 – Comparação entre algumas codificações existentes	37
Tabela 5 – Comparação entre algumas codificações existentes com novos valores	37
Tabela 6 – Notações de Capacitância.	51
Tabela 7 – Modelo do <i>buffer</i> FIFO.....	52
Tabela 8 – Modelo da Matriz do <i>Crossbar</i>	53
Tabela 9 – Modelo da Matriz do Árbitro.....	54
Tabela 10 – Modelo do Roteador Completo.	56

SUMÁRIO

INTRODUÇÃO.....	13
1.1 Motivação.....	15
1.2 Objetivos	16
1.3 Método	16
1.4 Contribuições do Trabalho.....	18
1.5 Estrutura da Dissertação.....	18
2 ASPECTOS DE CONSUMO DE POTÊNCIA EM CIRCUITOS DIGITAIS CMOS.....	20
2.1 O consumo de potência em circuitos CMOS.....	20
2.1.1 Consumo de Potência de Curto-Circuito	21
2.1.2 Consumo de Potência Estática.....	22
2.1.3 Consumo de Potência Dinâmica.....	24
2.1.4 Consumo de Potência pela Atividade de <i>Glitching</i>	26
3 TÉCNICAS DE CODIFICAÇÃO PARA LOW POWER	28
3.1 Métodos de codificação em barramentos.....	28
3.2 Codificação <i>Gray</i>	29
3.3 Codificação <i>Transition</i>	31
3.4 Código Híbrido	33
3.5 Comparação devido ao número de transições em um sinal de 8 bits utilizando esquemas de codificação	36
4 ASPECTOS DE NoCs.....	38
4.1 NoC	38
4.1.1 Conceito.....	38
4.1.2 Roteadores e enlaces.....	39
4.1.3 Topologias de redes de interconexão.....	41
4.1.4 Mensagens e desempenho de uma rede de interconexão.....	42
4.1.5 Chaveamento	44
4.1.6 Memorização	44
4.1.6.1 Memorização Centralizada Compartilhada.....	45
4.1.6.2 Memorização na Entrada.....	45
4.1.6.3 Memorização na Saída	46
4.1.7 Arbitragem.....	46
4.1.8 Starvation, Livelock e Deadlock.....	47
4.1.9 Roteamento	48
4.2 FERRAMENTA Orion	49

4.2.1	Componentes de uma NoC utilizando o Orion.....	51
4.3	Simulador PopNet	56
4.3.1	Gerações de Novos Tráfegos	59
4.4	Integração PopNet – Orion com codificadores de operandos	62
4.5	Inserindo Codificacoes de Dados em NoCs.....	62
5	RESULTADOS OBTIDOS.....	64
5.1	Características da simulação	64
5.2	Resultados	66
6	CONSIDERAÇÕES FINAIS	71
	REFERÊNCIAS	73
	ANEXOS	77
	ANEXO A – TABELAS PARA GERAÇÃO DOS GRÁFICOS	78

INTRODUÇÃO

O número cada vez maior de transistores em uma única pastilha de silício tem proporcionado vantagens e desvantagens quanto a utilização da mesma. Com o avanço rápido na busca de novas tecnologias, busca-se acrescentar sistemas mais complexos em áreas disponíveis cada vez menores. Mas, em contrapartida, resulta em um aumento do consumo de potência deste chip. Isto tem permitido a integração de diversos blocos, formando sistemas completos e fazendo com que o ritmo desses avanços se mantenha de forma exponencial nas últimas décadas, segundo a Lei de *Moore* (SCHALLER, 1997). Esta lei é devida a Gordon E. Moore, que em 1965 observou que a densidade de componentes em circuitos integrados dobrava a intervalos regulares, inferindo que este comportamento perduraria por muito tempo ainda. O intervalo medido por Moore para que a densidade média dos circuitos integrados (CIs) dobrasse foi de 18 meses (SCHALLER, 1997). Em 1970 ele estendeu o intervalo para 24 meses, o que ainda hoje permanece uma taxa estável, podendo perdurar por mais 10 a 15 anos (ITRS, 2009). O tempo normal durante o qual um produto eletrônico gerava a maior parte dos lucros (*revenue life*) foi reduzido de 3 a 5 anos no final dos anos 80 para 1 ano na atualidade. Como conseqüência, o tempo para um produto chegar no mercado (*time to market*) passa a ser muito mais relevante do que os outros parâmetros tradicionalmente considerados, tais como desempenho, ou mesmo os custos final e de produção (CALAZANS, 1998).

Segundo estudos do ITRS (*International Technology Roadmap for Semiconductors*, 2009), até o final desta década, estarão sendo disponibilizadas tecnologias de processo com tamanhos entre 100 e 50 nm. Com tais tecnologias, será possível a integração de até quatro bilhões de transistores e dezenas a centenas de núcleos em uma mesma pastilha de silício (BENINI & DE MICHELI, 2002), o que permitirá o desenvolvimento de novas aplicações nas áreas de multimídia, telecomunicações e eletrônica de consumo.

Esse avanço com a integração de inúmeros componentes em uma única pastilha ficou conhecida como SoC (*Systems on Chip*). Esses sistemas em *chip* trouxeram junto um grande

aumento das possibilidades tecnológicas possíveis de serem realizadas em uma pequena pastilha de silício. Os futuros sistemas integrados irão incluir de dezenas a centenas de núcleos em um mesmo *chip* com até alguns bilhões de transistores, sendo que, para atender às pressões do mercado e amortizar os custos de projeto entre vários sistemas, é importante que todos os seus componentes sejam reutilizáveis, incluindo a arquitetura de comunicação (ZEFERINO, 2003).

Esses componentes reutilizáveis são denominados núcleos (ou blocos de propriedade intelectual – *IP Blocks*) e podem ser desenvolvidos pela empresa responsável pelo projeto do sistema ou adquiridos de terceiros. Contudo, enquanto isso abre novas oportunidades de projeto, surgem também novas dificuldades com relação à especificação, mapeamento e avaliação das opções de projeto, assim como questões associadas às arquiteturas de comunicação (ZEFERINO, 2003).

No entanto, o subsistema de interconexão utilizado pode limitar a escalabilidade dos SoCs, como os barramentos. Das arquiteturas utilizadas atualmente, o barramento é a única que oferece reusabilidade. Os barramentos são mecanismos de interconexão de baixa escalabilidade, o que inviabiliza seu uso em MPSoCs (*MultiProcessor Systems-on-Chip*) contendo centenas de processadores. Desse modo, a solução ideal para interconexão no SoCs são as NoCs. O surgimento de NoCs (*Networks-On-Chips*), como elementos de interconexão em MPSoCs (BENINI & DE MICHELI, 2002), cuja característica maior é a grande escalabilidade, permite um rápido dimensionamento do sistema. Com isto, as metodologias de projeto adotadas são baseadas muitas vezes na reutilização de componentes pré-projetados e pré-verificados. As NoCs permitem múltiplas conexões ponto-a-ponto entre os componentes e podem ser reutilizadas em projetos diversos. Entretanto, o uso de NoCs pode representar o aumento na complexidade do projeto do sistema, da área em *chip* e/ou potência dissipada.

Estes circuitos integrados com NoCs são colocados em equipamentos portáteis, que são alimentados por baterias, mas em consequência, com o aumento da densidade de transistores por área de silício, aumenta o número de elementos parasitas, podendo reduzir o desempenho e aumentar o consumo de potência, aumentando consequentemente o tamanho da bateria a ser utilizada ou também diminuir o tempo de vida útil desta (COSTA, 2002).

A redução do tamanho do *chip* resultará na redução do atraso de propagação, permitindo a operação dos circuitos em frequências mais altas, o que por sua vez leva ao aumento do consumo de potência (COSTA, 2002). Com o aumento do número de componentes em um único *chip*, resultará em um aumento do processamento, podendo chegar a um considerável aumento do consumo de potência deste mesmo. Nos últimos anos, o consumo de potência vem sendo apontado como um dos principais parâmetros em projetos de circuitos integrados. O maior desafio diz respeito ao projeto de uma nova geração de produtos que realizam o mínimo do consumo de potência, sem comprometer o desempenho desejado.

1.1 Motivação

A dissipação de potência é um parâmetro muito importante no projeto de circuitos digitais. A necessidade de minimizar a dissipação por porta é motivada pelo desejo de integrar um número cada vez maior de portas em uma pastilha, o que, por sua vez, é motivado por considerações de economia de espaço e aumento de tecnologia.

Em geral, entretanto, os sistemas digitais modernos utilizam um grande número de portas e células de memória e, portanto, para conservar a potência total dentro de faixas razoáveis, é necessário que a dissipação de potência por portas ou por células de memória seja a menor possível. Isto corresponde particularmente ao caso de equipamentos portáteis à bateria (SEDRA & SMITH, 2007).

Um outro fator de interesse além da dissipação de potência são problemas de temperatura dos dispositivos. Com a redução do tamanho dos dispositivos, a densidade dos transistores tende a aumentar, gerando o aumento do número de componentes e dissipando a potência por unidade de área. Aquecimento e temperatura estão diretamente relacionados com a potência média. Além disso, a redução do tamanho provoca a redução do atraso de propagação, permitindo a operação dos circuitos em frequências mais altas, o que leva a um aumento do consumo de potência.

Um problema relacionado ao consumo de potência nos barramentos são as capacitâncias induzidas pelas linhas de comunicação longas. Este problema é minimizado em NoCs, já que esta abordagem utiliza linhas de comunicação ponto-a-ponto curtas entre roteadores.

Entretanto, NoCs consomem potência nos roteadores, reduzindo a vantagem aparente em termos de consumo de potência em comparação com barramentos (PALMA, 2007).

O consumo de potência de uma NoC cresce linearmente com a quantidade de transições de sinais dos pacotes enviados (PALMA, 2003). Existem diversas formas para poder reduzir o consumo de potência de uma NoC. Uma destas seria reduzir a quantidade de transições que ocorrem entre os pacotes de mensagens, e conseqüentemente reduzir o consumo de potência. Uma forma para a reduzir o número de transições é utilizar esquemas de codificação de dados nas mensagens que são enviadas.

1.2 Objetivos

O principal objetivo deste trabalho é implementar e comparar diferentes esquemas de codificação para barramento de dados, visando identificar o mais adequado para reduzir o consumo de potência de redes em chip. Para tal, os seguintes objetivos específicos são explorados:

- Analisar se os esquemas de codificação contribuem para a real redução do consumo de potência, verificando se realmente ocorre a redução da atividade de chaveamento nos canais de comunicação de dados.
- Propor alternativas de esquemas de codificação que possam contribuir para a redução da atividade de chaveamento em relação à determinados padrões de tráfego.

1.3 Método

O trabalho visa analisar o consumo de potência dinâmica, pois este representa a maior parcela de consumo de um circuito integrado (WEST & ESHRAGHIAN, 1994) para tecnologias iguais ou acima de 100nm. Serão utilizados preferencialmente os esquemas de codificação de dados para a redução da atividade de chaveamento em barramentos, onde as capacitâncias associadas aos barramentos costumam ser várias ordens de grandeza superiores

às capacitâncias dos outros nós internos dos circuitos (COSTA, 2002). Quando se utiliza a tecnologia CMOS (*Complementary Metal Oxide Semiconductor*), a potência dissipada nas linhas de comunicação é proporcional ao produto do número médio de transições nestas linhas pela capacitância da linha (PALMA, 2007).

O procedimento completo de um projeto que envolve a análise de potência de um circuito consiste inicialmente em estabelecer qual é o nível de descrição da arquitetura a ser analisada. Esta descrição fornece para a ferramenta de análise de potência uma lista de todos os diferentes módulos que têm de ser analisados. O desafio principal é atingir um nível desejado de confiabilidade na comunicação com a menor dissipação de potência possível.

Para a redução do consumo de potência em NoCs, alguns autores propuseram algumas técnicas, como redução da dissipação de potência na NoC através da inserção de módulos "gerentes" que controlam a potência em função do volume de tráfego (SIMUNIC & STEPHEN, 2002), redução da dissipação de potência na NoC através da utilização de um algoritmo de roteamento (KIM *et al.*, 2005), redução da dissipação de potência na NoC através do mapeamento de IPs na rede (MARCON *et al.*, 2005) (SRINIVASAN & CHATHA, 2005), definição da topologia de acordo com o tráfego (CHANG *et al.*, 2005), redução do consumo de potência na NoC através da redução da atividade de chaveamento nos enlaces (PALMA *et al.*, 2007), redução da dissipação de potência na NoC através da utilização de algoritmo de roteamento do tipo look-ahead e power-gating (MATSUTANI *et al.*, 2008) e redução da dissipação de potência na NoC Hermes através de filas bi-síncronas, clock-gating e variação dinâmica de frequência (DFS) (PONTES *et al.*, 2008). Para este trabalho, a técnica mais apropriada, até pelo funcionamento do simulador que será utilizado, é através da redução da atividade de chaveamento nos enlaces.

O diagrama da metodologia utilizada neste trabalho é mostrado na Figura 1. A descrição dos circuitos é realizada em C++. Com este formato é realizada a síntese e simulação dos circuitos por intermédio do simulador PopNet, que utiliza a linguagem C. O PopNet trabalha em conjunto com a ferramenta Orion, que resulta no consumo de potência da rede durante o seu tráfego de mensagens. Será utilizada uma rede do tipo *mesh*.

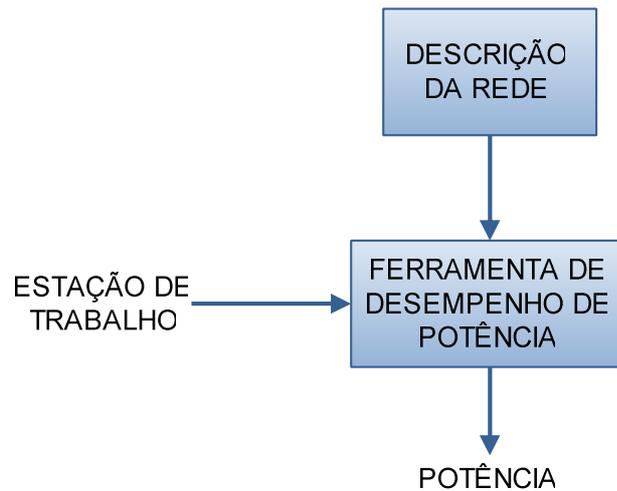


Figura 1: Metodologia utilizada neste trabalho.
 Fonte: WANG *et al.*, 2002.

1.4 Contribuições do Trabalho

As principais contribuições deste trabalho são:

- Modelo de estimativa de redução da potência média dissipada em uma rede NoC, integrando o simulador PopNet-Orion com esquemas de codificação;
- Utilização de diferentes esquemas de codificação encontrados na literatura, principalmente os esquemas de codificação híbridos, propostos por Eduardo Costa, e também as codificações *Transition* e *Gray*.
- Verificação do comportamento destes esquemas de codificação com mensagens de largura de *flits* de 64 bits.

1.5 Estrutura da Dissertação

No capítulo a seguir, serão descritos os aspectos de consumo de potência em circuitos digitais CMOS. No capítulo 3, serão apresentados algumas técnicas de codificação para *low Power*, existentes na literatura. No capítulo 4, serão descritos os principais componentes internos de uma NOC utilizados na execução prática deste trabalho. Também neste capítulo,

será descrito sobre o simulador e a ferramenta de desempenho de potência utilizados neste trabalho. No capítulo 5 serão colocados os resultados obtidos com a integração da ferramenta utilizada com os esquemas de codificação. E finalmente, no capítulo 6 serão mostradas as principais considerações encontradas e trabalhos futuros.

2 ASPECTOS DE CONSUMO DE POTÊNCIA EM CIRCUITOS DIGITAIS CMOS

Neste capítulo serão abordados os principais aspectos que causam o consumo de potência em circuitos CMOS. Serão apresentados conceitos que envolvem as principais fontes de consumo de potência nestes circuitos.

2.1 O consumo de potência em circuitos CMOS

Sendo o consumo de potência um dos principais parâmetros no projeto de circuitos digitais, a potência de pico é utilizada como um dos pontos de análise da confiabilidade dos circuitos (COSTA, 2002). Entretanto, o fator mais crítico é o consumo médio de potência dos circuitos que operam durante um determinado tempo (CHANDRAKASAN & BRODERSEN, 1995).

Pode-se destacar quatro principais fontes de consumo de potência em circuitos digitais CMOS:

- Corrente de curto-circuito;
- Corrente de fuga, que provoca uma dissipação estática;
- Processo de carga e descarga das capacitâncias durante a transição do sinal;
- Transições espúrias do sinal (atividade de *glitching*).

Dentre estas, a potência total consumida por um circuito CMOS é dado pela soma das parcelas individuais das três primeiras fontes de consumo (MARTINS, 2000), como é mostrado na equação 1:

$$P = P_{cc} + P_{est} + P_{din} \quad (1)$$

Em que P_{cc} é a potência dissipada devido ao curto circuito, P_{est} é a potência estática resultante das correntes de fuga e P_{din} é a potência dinâmica resultante do processo de carga e descarga das capacitâncias.

Dentre estas três, o principal consumo é o de potência dinâmica, para tecnologias acima de 100nm, através da atividade de chaveamento do circuito, que será o alvo deste trabalho. Esta contribuição no consumo total de potência está se tornando um fator de preocupação à medida que a tecnologia do processo dos semicondutores atinge valores abaixo de 100nm (KIM *et al*, 2003). Estudos demonstram que para o caso de um circuito inversor, utilizando tecnologia de 70nm, submetido a simulações operando a 125°C, as correntes de fuga podem chegar a contribuir em 49% para o consumo de potência total do circuito (KIM & ROY, 2002).

A principal razão para a popularidade da lógica CMOS é que as portas tradicionais não possuem consumo estático quando suas saídas não estão comutando entre os níveis lógicos. Entretanto, para qualquer saída de uma porta CMOS que tenha o seu valor lógico alterado, haverá uma potência dissipada no *gate* dos transistores (MARTINS, 2000).

A razão inicial para esta dissipação de potência é o movimento de cargas elétricas para carregar e descarregar capacitâncias de carga externas e capacitâncias parasitas internas. Em adição a isto, para sinais de entrada com tempos de subida e descida finitos, é possível que um caminho de corrente direto entre a fonte de tensão e o terra seja formado temporariamente enquanto que esteja ocorrendo uma alteração na saída (COSTA, 2002). A seguir são apresentados detalhes das 4 principais fontes de consumo de potência em circuitos CMOS.

2.1.1 Consumo de Potência de Curto-Circuito

O consumo de potência de curto-circuito ocorre quando flui uma corrente diretamente da fonte de alimentação para o terra. Isto ocorre quando um circuito CMOS estático é chaveado por um sinal de entrada com tempos de subida e descida não-zero, com os transistores tipos PMOS (*Positive Channel Metal Oxide Semiconductor*) e NMOS (*Negative*

Channel Metal Oxide Semiconductor) conduzindo simultaneamente por um curto intervalo de tempo. Este consumo de potência devido a corrente de curto-circuito contribui com aproximadamente 10% do valor de consumo de potência total (POPPEN, 2000), mas pode tornar-se substancial, particularmente se a entrada mudar de maneira mais lenta que a frequência de operação de troca de mensagens. Na realidade, não é correto assumir valores de tempo de subida e descida como sendo nulos para as formas de onda de entrada (RABAEY, 1996). Como resultado disto, é criado um caminho para a corrente diretamente para o terra em um curto período de tempo durante a comutação, onde os transistores PMOS e NMOS estão conduzindo simultaneamente, como é visto na Figura 2 a corrente de curto-circuito ocorrendo durante os transientes, sendo V_T a tensão de limiar.

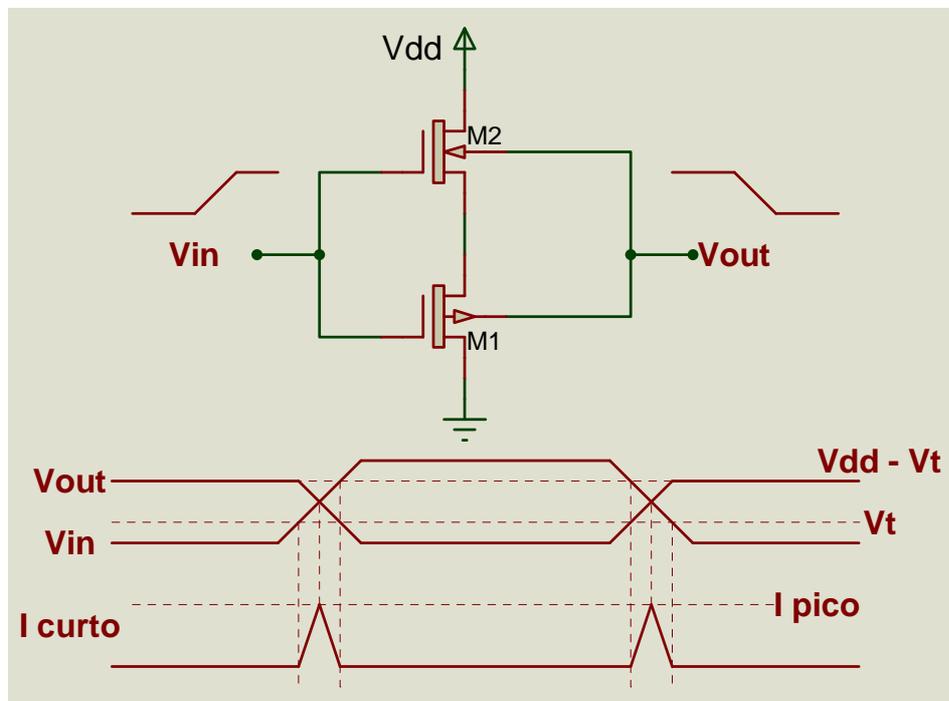


Figura 2: Corrente de Curto-Circuito durante transientes de um inversor.
Fonte: OLIVEIRA, 2005.

2.1.2 Consumo de Potência Estática

Correntes de fuga ou outras correntes que fluem continuamente entre os pinos de um CMOS causam a dissipação de potência estática. O consumo ideal de potência estática de um circuito CMOS é nulo. Entretanto há sempre uma corrente de fuga presente.

A potência estática vem tendo uma contribuição cada vez maior no consumo de potência global, à medida que a tecnologia de processo de semicondutores atinge valores abaixo de $0.1\mu\text{m}$ (KIM *et al*, 2003). Correntes de fuga podem ocorrer quando um transistor está no estado desligado e outro transistor ativo carrega (*up/down*) o dreno em relação ao potencial de substrato. A potência estática total é o produto da corrente de fuga do dispositivo e da fonte de tensão, dada pela equação (2).

$$P_{\text{STATIC}} = I_{\text{LEAKAGE}} \cdot V_{\text{DD}} \quad (2)$$

$$I_{\text{LEAKAGE}} = I_{\text{S}} \cdot (e^{\frac{V}{V_T}} - 1) \quad (3)$$

onde V_{DD} é a tensão de alimentação do circuito e I_{LEAKAGE} é a corrente de fuga que é dada pela equação característica do diodo de polarização reversa conforme é dado na equação (3), onde I_{S} é a corrente de saturação reversa, V é a tensão do diodo e a equação (4) mostra:

$$V_T = \frac{kT}{q} \quad (4)$$

onde V_T é a tensão termal.. É preciso inicialmente definir como a potência é dissipada em circuitos digitais e, para isso, é mostrado como ocorre em um circuito CMOS, que é a tecnologia utilizada na maioria dos circuitos digitais contemporâneos. Os componentes de um CMOS são o *gate*, o fonte (*source*) e o dreno (*drain*). Entre o fonte e o dreno há o canal de condução, que é por onde a corrente deve passar quando o transistor estiver conduzindo. Ao se aplicar certa tensão sobre o *gate* (dependente de tecnologia), isto faz com que cargas sejam induzidas no canal, permitindo a passagem de corrente. A Figura 3 exemplifica a potência estática devido as correntes de fuga. Apesar do transistor PMOS apresentar-se no estado desligado, sua tensão fonte-substrato será igual a $-V_{\text{DD}}$, pois a tensão de saída está em 0V , enquanto que a tensão do substrato em relação ao transistor PMOS está em V_{DD} .

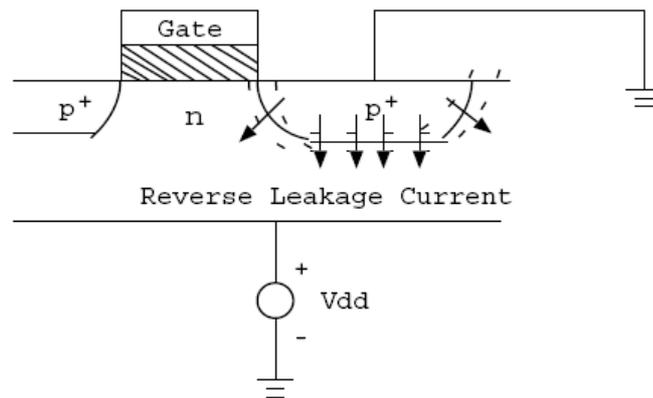


Figura 3 - Representação da corrente de fuga reversa.
Fonte: COSTA, 2002.

2.1.3 Consumo de Potência Dinâmica

A dissipação dinâmica ocorre durante o processo de comutação dos transistores PMOS e NMOS devido à corrente de curto-circuito e pelo processo de carga e descarga da capacitância de saída. A potência dinâmica aparece com um maior valor percentual contribuindo com 85% da parcela do consumo total, para tecnologias acima de 100nm (STAN & BURLESON, 1997). A componente de comutação dinâmica de dissipação de potência (P_{din}) em uma transição na saída de uma porta carregada por um capacitor C_L é dada de acordo com a equação (5) (CHANDRAKASAN & BRODERSEN, 1995),

$$P_{\text{din}} = \frac{1}{2} \cdot A \cdot C_L \cdot V_{\text{DD}}^2 = \frac{1}{2} \cdot a \cdot f \cdot C_L \cdot V_{\text{DD}}^2 \quad (5)$$

Onde A é a atividade do nó de saída, medida em eventos/segundo para uma carga/descarga completa. No caso de projetos síncronos, a atividade A não é simplesmente f (frequência), mas em geral uma probabilidade de atividade normalizada a (menor do que 1 para modelo de atraso zero) é computada como função da estatística de entrada e modelos lógicos, pois nem todos os nós mudam em um determinado ciclo de relógio. Se, em um circuito, uma simples transição é realizada a cada ciclo de relógio na taxa f_{CLK} , então a potência é dada pela equação (6).

$$P_{\text{din}} = C_L \cdot V_{\text{DD}}^2 \cdot f_{\text{CLK}} \quad (6)$$

Entretanto, há casos em que a transição do sinal ocorre em diferentes taxas de frequência, tendo-se que considerar o valor do número de transições por ciclo de relógio ou o fator de atividade a de transição dos nós, como mostrado na equação (5). A Figura 4 exemplifica o processo de carga e descarga da capacitância de carga (C_L), que representa o somatório das capacitâncias internas da porta associada à capacitância de interconexão. a Figura 5 exhibe a estrutura interna de uma porta inversora com as capacitâncias associadas.

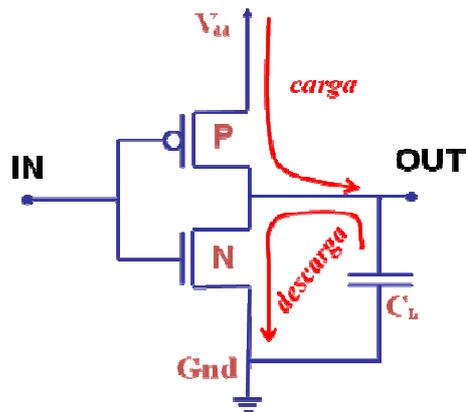


Figura 4: Processo de carga e descarga das capacitâncias da saída do *gate*
Fonte: COSTA, 2002.

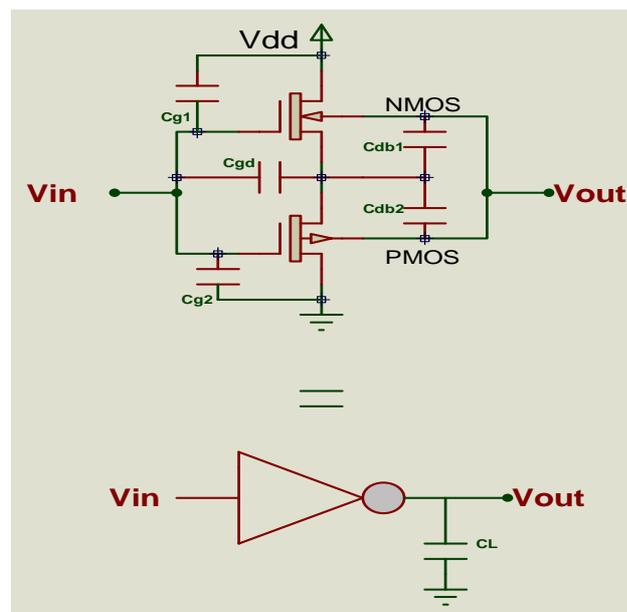


Figura 5: Capacitâncias de nós.
Fonte: COSTA, 2002.

A dissipação média de potência é diretamente proporcional à frequência de comutação do circuito (MARTINS, 2000). Dessa forma, quanto maior a frequência, maior a quantidade proporcional de potência dissipada. Por exemplo, na equação 5, tendo a tensão elevada ao quadrado (equação 6), ao se reduzir a tensão da fonte de 5V para 3.3V, provoca-se uma redução superior a 50% na dissipação de potência e também no desempenho, pelo fato da tensão V_{DD} apresentar uma relação quadrática com a potência dinâmica, como mostrado nas equações (5) e (6). Uma porta CMOS, comutando continuamente seu estado na velocidade máxima, possui picos de consumo dinâmicos muito próximos entre si, dissipando, dessa forma, uma quantidade de potência similar a uma porta NMOS trabalhando a essa mesma velocidade (MARTINS, 2000). A lógica NMOS inclui transistores que estão sempre conduzindo e gerando um consumo estático considerável (REIS, 2000).

2.1.4 Consumo de Potência pela Atividade de *Glitching*

A dissipação de potência dinâmica também é influenciada por sinais espúrios, característico de sistemas com lógicas complementares em cascata (GOWAN *et al*, 1998). A principal razão para a ocorrência do efeito de *glitching* recai sobre o fato de que as portas lógicas possuem um atraso de propagação do sinal diferente de zero (RABAEY, 1996). Na realidade, o atraso de propagação finito de um bloco lógico para o próximo, pode causar transições espúrias, chamadas de *glitches* ou *hazards*. Estas transições espúrias dificultam a estimação da energia de circuitos síncronos. A principal razão para isto recai no fato de que os *glitches* são muito dependentes do atraso do circuito e, desta maneira, qualquer tentativa de se estimar a energia consumida, precisa incluir um modelo preciso de atraso (PENZES & MARTIN, 2002). Desta maneira, um determinado nó de um circuito pode exibir múltiplas transições em um único pulso de relógio antes de estabelecer de fato o valor lógico correto. A atividade de *glitching* é exemplificada na Figura 6. Nesta Figura, nota-se que o sinal, tendo um atraso entre as entradas, sofre uma perda do sinal da saída de cada porta. O que ocorre é uma perda deste sinal até chegar na saída do circuito, dificultando assim a estimação da potência.

Observa-se que o instante de chaveamento do sinal de entrada de uma porta pode causar níveis lógicos falsos em sua saída, contribuindo para a geração de *glitches*. A propagação

destes sinais é uma função da profundidade lógica do circuito contribuindo fortemente para o aumento do consumo de potência.

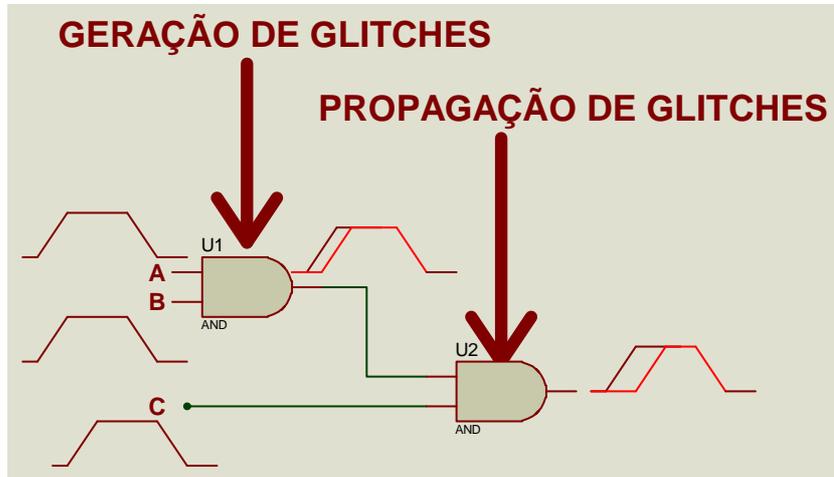


Figura 6: Processo da atividade de *glitching*.
Fonte: COSTA, 2002.

Para ocorrer um menor consumo de potência de uma NoC, será apresentado no capítulo a seguir algumas técnicas de codificação para *low Power* visando a utilização destes para diminuir o consumo de potência de uma CMOS..

3 TÉCNICAS DE CODIFICAÇÃO PARA LOW POWER

Existem algumas técnicas específicas para diminuir o consumo de potência através da redução atividade de chaveamento nos barramentos. Uma destas técnicas é a utilização da codificação de operandos para se obter esta redução. Então, é apresentado neste capítulo alguns codificadores que podem ser utilizados para diminuir o consumo de potência, através da redução de sua atividade de chaveamento.

3.1 Métodos de codificação em barramentos

A maneira mais comum de comunicação de dados entre diferentes chips, sem a utilização da codificação, é a transmissão e recepção dos dados na sua representação original (geralmente em binário) sobre um conjunto de n fios, como é mostrado através da Figura 7. A idéia de utilizar um esquema de codificação para a redução da atividade de chaveamento nas linhas do barramento, onde se observa que a mudança de representação dos dados podem ser obtidas ao custo de um hardware adicional para a codificação/decodificação dos dados. Observa-se pela Figura 7b que há a possibilidade de utilização de um número diferente de linhas no barramento (m fios) entre as etapas de codificação/decodificação dos dados. De acordo com o número de linhas que é utilizado nos barramentos está relacionado com os tipos de técnicas aplicadas nas etapas de codificação/decodificação dos dados (CHANDRAKASAN & BRODERSEN, 1995). A seguir, serão apresentadas algumas codificações.

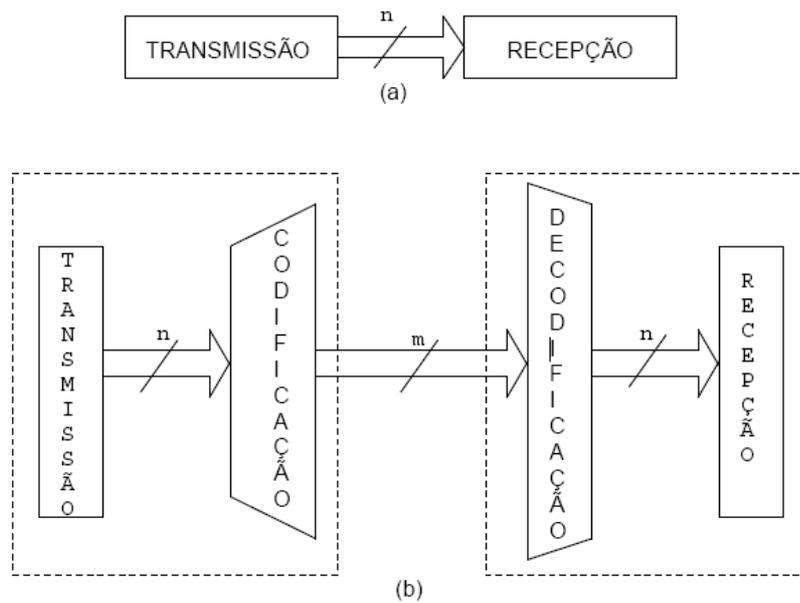


Figura 7: Esquemas de transmissão e recepção de dados em barramentos.
Fonte: COSTA, 2002.

3.2 Codificação *Gray*

A codificação *Gray* é um dos métodos mais utilizados para redução de transições de sinais em barramentos de endereços (MEHTA *et al*, 1996). Uma seqüência de números consecutivos (incrementados), quando codificados no método *Gray*, apresenta em cada palavra somente um bit diferente, com relação à palavra anterior. Assim, é possível reduzir em até 50% o número de transições em relação ao código binário original, fazendo com que o método *Gray* seja bastante eficiente quando os dados são seqüências ou apresentam um alto grau de correlação.

A conversão do código binário para o código *Gray* é feita de acordo com as Equações (7) e (8) (CHANDRAKASAN & BRODERSEN, 1995), onde $B = (b_{n-1}, b_{n-2}, \dots, b_1, b_0)$ é a representação binária do número e $G = (g_{n-1}, g_{n-2}, \dots, g_1, g_0)$ é a representação do número em código *Gray*. Esta conversão consiste em repetir o bit mais significativo da palavra binária e utilizar operações lógicas *XOR* entre todos os bits consecutivos da palavra.

$$S_{n-1} = E_{n-1} \quad (7)$$

$$S_i = E_{i+1} \text{ XOR } E_i \quad (i = n-2, \dots, 0) \quad (8)$$

A Figura 8 mostra como é a ligação das portas *XOR* em uma conversão do código binário para o código *Gray*.

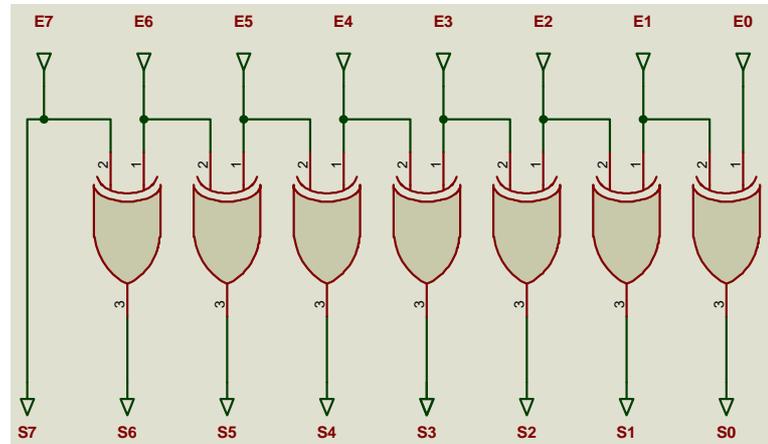


Figura 8: conversão do código binário para o código *Gray* utilizando portas *XOR*.
Fonte: COSTA, 2002.

A conversão do código *Gray* em código binário é realizada através das Equações (9) e (10). Esta conversão também é realizada repetindo-se o bit mais significativo da palavra em código *Gray* e utilizando operações *XOR*. Entretanto, cada bit a ser convertido depende da conversão anterior, o que cria um aumento do caminho crítico, bem como da complexidade, se comparada com a conversão inversa (PALMA, 2007).

$$E_{n-1} = S_{n-1} \quad (9)$$

$$E_i = E_{i+1} \text{ XOR } S_i \quad (i = n-2, \dots, 0) \quad (10)$$

A Figura 9 mostra como é a ligação das portas *XOR* em uma conversão do código *Gray* para o código binário.

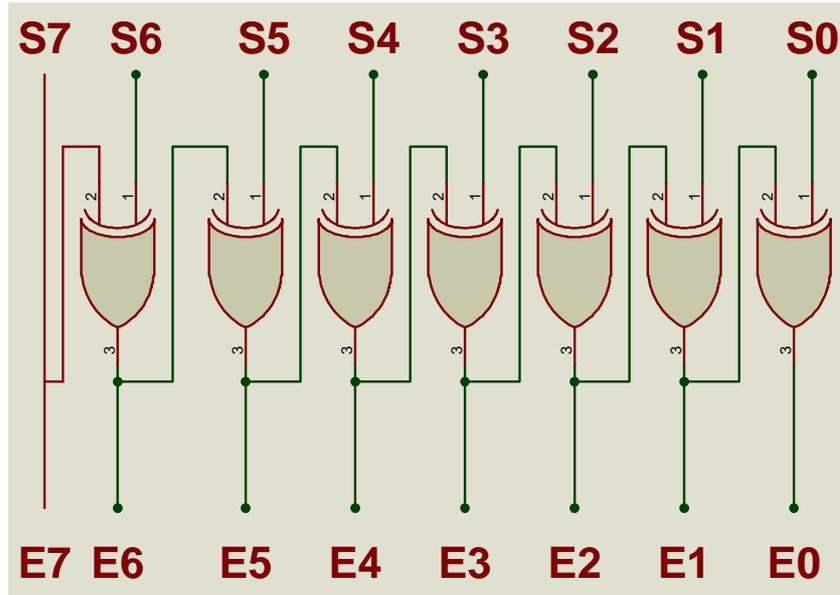


Figura 9: conversão do código *Gray* para o código binário utilizando portas *XOR*.
Fonte: COSTA, 2002.

Na tabela 1 são feitas comparações entre o número de transições sem a utilização de uma codificação, comparando ao número de transições utilizando a codificação *Gray*.

Tabela 1: Exemplo de funcionamento do método *Gray* em um canal de comunicação com largura de 8 bits.

Dado original	Número de Transições	Codificação <i>Gray</i>	Número de Transições
00000100	-	00000110	-
00000101	1	00000111	1
00000110	2	00000101	1
00000111	1	00000100	1
00001000	4	00001100	1
00000110	3	00000101	2
00000111	1	00000100	1
00001000	4	00001100	1
Total = 16 Transições		Total = 8 Transições	

Fonte: PALMA, 2007.

3.3 Codificação *Transition*

Nesta técnica, os dados recebidos pelo codificador são comparados com os dados recebidos anteriormente, os quais ficam armazenados em um registrador. Considera-se $B =$

($b_{n-1}, b_{n-2}, \dots, b_1, b_0$) o conjunto de todos os bits de um dado original o qual se deseja transmitir em um barramento de largura n , $R = (r_{n-1}, r_{n-2}, \dots, r_1, r_0)$ o conjunto de todos os bits armazenados no registrador, correspondentes ao dado recebido anteriormente, e $T = (t_{n-1}, t_{n-2}, \dots, t_1, t_0)$ o dado codificado, transmitido no barramento. A técnica *Transition* (RAMOS & OLIVEIRA, 1999) implica em transmitir um sinal em '1' lógico para cada bit i (onde $i = (n-1, n-2, \dots, 0)$) toda vez que houver uma transição do bit i armazenado (r_i) para o bit i do dado atual (b_i). Quando não existe transição é enviado um sinal em '0' lógico em t_i . A codificação *Transition* é realizada através da equação 11. A decodificação do método *Transition* é realizada de acordo com a equação 12. Neste caso, o bit decodificado é o resultado da operação *XOR* entre o bit transmitido (t_i) e o último bit decodificado (b_i). Na tabela 2 são feitas comparações entre o número de transições sem a utilização de uma codificação, comparando ao número de transições utilizando a codificação *Transition*.

$$t_i = r_i \text{ XOR } b_i \quad (i = n-2, \dots, 0) \quad (11)$$

$$b_i = r_i \text{ XOR } t_i \quad (i = n-2, \dots, 0) \quad (12)$$

Tabela 2: Exemplo de funcionamento do método *Transition* em um canal de comunicação com largura de 8 bits.

Dado original	Número de Transições	Codificação <i>Transition</i>	Número de Transições
01101001	-	01101001	-
00110110	6	01011111	4
10010110	2	10100000	8
10101001	6	00111111	6
01011110	7	11110111	3
00100101	6	01111011	3
11011110	7	11111011	1
11101011	4	00110101	5
Total = 38 Transições		Total = 30 Transições	

Fonte: PALMA, 2007.

A Figura 10 apresenta como é a ligação das portas *XOR* em uma conversão do código binário para o código *Transition*, a partir do segundo *byte* enviado, enquanto que a Figura 11 mostra como é a ligação das portas *XOR* em uma conversão do código *Transition* para o código binário, a partir do segundo *byte* enviado.

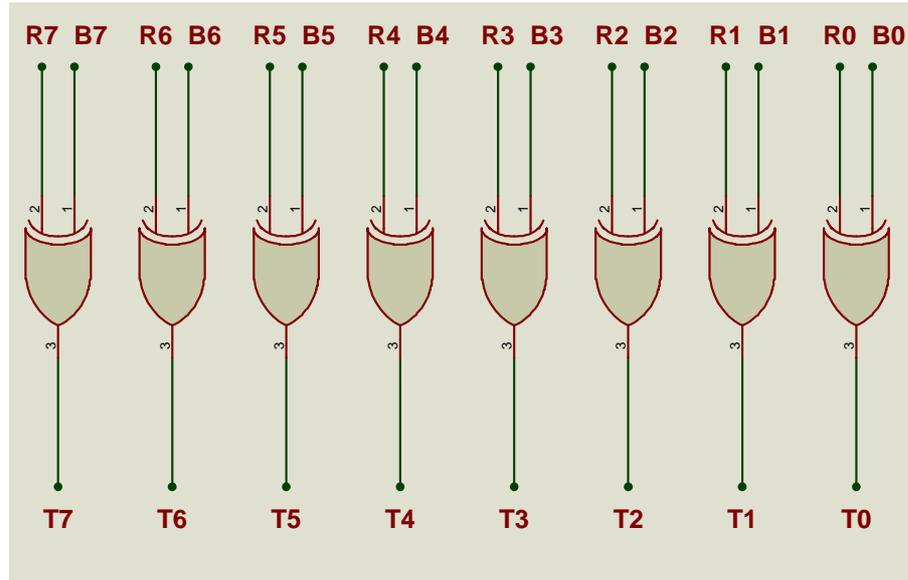


Figura 10: conversão do código binário para o código *Transition* utilizando portas *XOR*.
Fonte: COSTA, 2002.

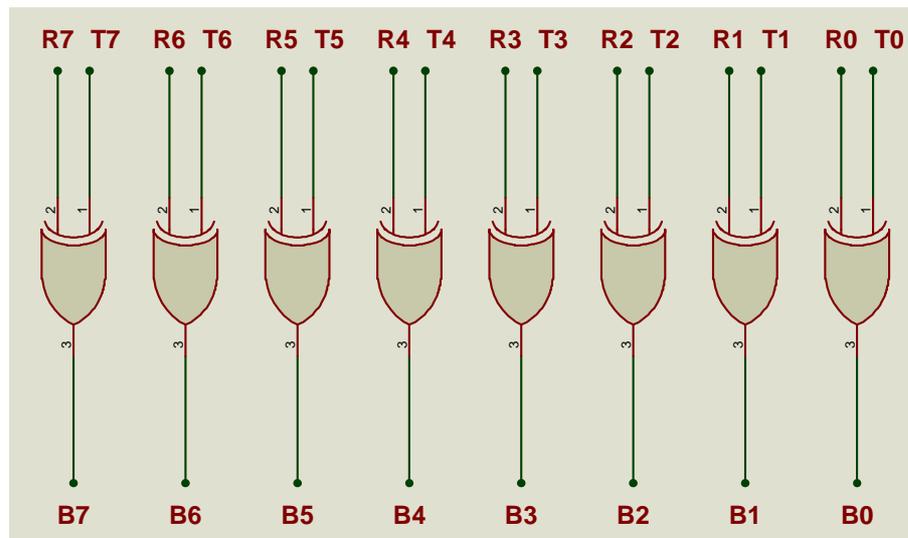


Figura 11: conversão do código *Transition* para o código binário utilizando portas *XOR*.
Fonte: COSTA, 2002.

3.4 Código Híbrido

Modelo proposto por (COSTA, 2002). A idéia de manipular os operandos em grupos de m-bits e codificar cada grupo usando o código *Gray* pode ser utilizada em operandos que

operem em representação de complemento de 2 ou 4. A Tabela 3 exibe o código Híbrido para um número de $m = 4$ bits e $m = 2$, onde m é o complemento.

Tabela 3 - Representação dos códigos Binário, Híbrido ($m=2$), híbrido ($m=4$) e *Gray*.

decimal	binário	Híbrido ($m=2$)	<i>Gray</i> = Híbrido ($m=4$)
0	0000	0000	0000
1	0001	0001	0001
2	0010	0011	0011
3	0011	0010	0010
4	0100	0100	0110
5	0101	0101	0111
6	0110	0111	0101
7	0111	0110	0100
8	1000	1100	1100
9	1001	1101	1101
10	1010	1111	1111
11	1011	1110	1110
12	1100	1000	1010
13	1101	1001	1011
14	1110	1011	1001
15	1111	1010	1000

Fonte: COSTA, 2002.

O código Híbrido apresenta um compromisso entre a mínima dependência das entradas de dados apresentada pelo código Binário e a característica de baixa atividade de chaveamento apresentada pelo código *Gray*. O cálculo para os códigos Binário, *Gray* e Híbrido é mostrado respectivamente nas equações com as equações (13), (14) e (15) (COSTA, 2002).

$$\text{Num trans}_{\text{Bin}} = 2^{n+1} - 2 \quad (13)$$

$$\text{Num trans}_{\text{Gray}} = 2^n \quad (14)$$

$$\text{Num trans}_{\text{hib}} = \frac{2^{n+1} - 1}{2^{m+1} - 1} \quad (15)$$

Onde n é o número de bits. Outra característica apresentada pelo código Híbrido $m = 2$ ou $m=4$ é a facilidade de mudança de representação para o código Binário, como mostra o exemplo da Figura 12. Desta forma, o processo de codificação/decodificação dos dados utiliza um hardware de reduzida complexidade com uma porta *XOR* ligada a cada grupo de $m = 2$ ou $m=4$ bits. Neste caso, o código Híbrido também pode ser utilizado como método de

codificação para os barramentos de endereços. É visto na Figura 13 o código híbrido com $m=4$ bits. Neste tipo, percebe-se que é como se fosse um código *Gray* de 4 bits, o que ocasiona em uma complexidade para a decodificação, mas possui uma menor quantidade de portas *XOR* (a codificação *Gray* precisa de $n-1$ portas *XOR*, enquanto que o codificador híbrido precisa de $\frac{(m-1).n}{m}$ portas *XOR*), comparado ao número de bits utilizado (8 ou mais).

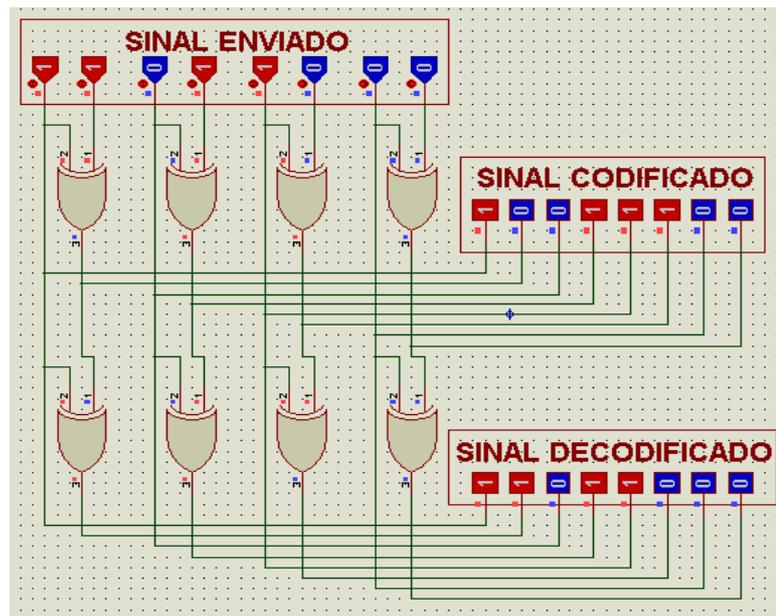


Figura 12: Codificação / decodificação de um sinal de 8 bits com o código híbrido $m=2$, utilizando portas *XOR*.
Fonte: COSTA, 2002.

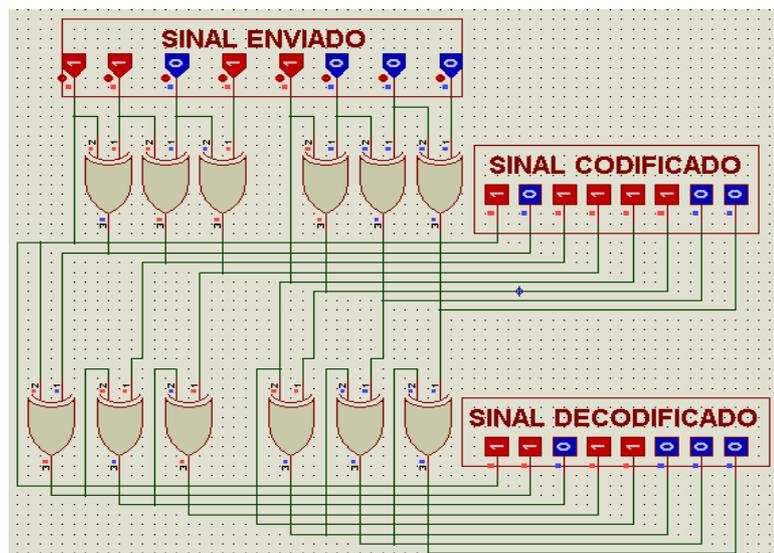


Figura 13: Codificação / decodificação de um sinal de 8 bits com o código híbrido $m=4$, utilizando portas *XOR*.
Fonte: COSTA, 2002.

3.5 Comparação devido ao número de transições em um sinal de 8 bits utilizando esquemas de codificação

Foi feita uma comparação com os esquemas de codificação, junto com um sinal não codificado, para demonstrar o número de transições encontradas, para cada caso, como demonstra a Tabela 4. Foi feita uma comparação entre as codificações *Gray*, *Transition*, híbrido(m=2) e híbrido(m=4).

Nesta tabela, é enviado um sinal de 8 bits que vale 11111110 e após é enviado um segundo sinal de oito bits que vale 01010100, e são analisados bit a bit, com um número de transições igual a 4 quando não há codificação. Foi colocado este sinal de modo a ter um número de transições consideráveis para análise com codificações. Executando a codificação dos operandos, verifica-se que o código *Transition* obteve o menor número de transições possíveis (3), reduzindo em 25%, enquanto que o código híbrido(m=2), o código híbrido (m=4) e o *Gray* obtiveram um número de transições maior que o sinal não codificado (8). Isto mostra que pode, mesmo quando se utiliza codificações, aumentar o número de transições, aumentando conseqüentemente o consumo de potência, caso estes sinais fossem sinais enviados dentro de uma *NoC*.

Na Tabela 5, é colocada uma nova comparação com valores diferenciados da primeira tabela, de modo a mostrar o funcionamento das codificações de operandos na diminuição do número de transições de sinais. O primeiro sinal valendo 10101001 e o outro sinal valendo 11100110, tendo o número de transições bit a bit igual a 5, aumentando, assim, o número de transições. Nota-se que na codificação *Transition*, não houve redução de transições, comparando bit a bit, enquanto que os códigos híbridos (m=2 e m=4) e o código *Gray* obtiveram uma redução de 40%. Para uma redução de consumo de potência, neste caso, os híbridos e o *Gray* seriam os mais adequados.

Tabela 4 – Comparação entre algumas codificações existentes

	<i>GRAY</i>	<i>TRANSITION</i>	HÍBRIDO (m=2)	HÍBRIDO (m=4)
DADO CODIFICADO	10000001	11111110	10101011	10001001
	01111110	10101010	01010100	01110110
TRANSIÇÕES	8	3	8	8

Fonte: Tabela elaborada pelo autor através das codificações *Transition*, híbrido-2 e híbrido-4

Tabela 5 – Comparação entre algumas codificações existentes com novos valores

	<i>GRAY</i>	<i>TRANSITION</i>	HÍBRIDO (m=2)	HÍBRIDO (m=4)
DADO CODIFICADO	11111101	10101001	11111101	11111101
	10010101	01001111	10110111	10010101
TRANSIÇÕES	3	5	3	3

Fonte: Tabela elaborada pelo autor através das codificações *Transition*, híbrido-2 e híbrido-4

Com isto, nota-se que o número de transições pode aumentar como pode diminuir, de acordo com a característica do tipo de sinal que está sendo enviado, para cada tipo de byte gerado, ou seja, para cada transição que é feita. Não pode se dizer com certeza que um codificador será melhor que outro ou vice-versa, nestes exemplos. Estas codificações serão utilizadas para a redução do número de transições de sinais que serão enviados dentro de uma NoC. Para isto, deve-se ter o conhecimento de uma NoC e as características dos componentes da mesma., apresentados no próximo capítulo.

4 ASPECTOS DE NoCs

Neste capítulo será feita uma descrição sobre as características e o funcionamento dos principais componentes de uma NoC (*Network on Chip*). Também, neste capítulo será explicado a ferramenta Orion (*Open Research Infrastructure for Optimizing Network*), ferramenta utilizada para estimar o consumo de potência no envio de mensagens em uma NoC, e também do simulador PopNet, responsável pela simulação do envio e tráfego de mensagens em uma NoC.

4.1 NoC

A utilização de conexões do tipo multiponto implica no aumento de uma capacitância parasita com o aumento dos núcleos conectados ao barramento, ocorrendo assim atrasos ao longo do caminho, tendo ainda perda de energia por difusão do barramento, largura de banda não escalável e arbitragem centralizada, que dificultarão o uso de barramentos em SoCs complexos (ZEFERINO, 2003). A solução é a utilização de redes de interconexão chaveadas nos barramentos, que diminuirão conseqüentemente estes problemas. Estas interconexões chaveadas são chamadas de NoCs.

4.1.1 Conceito

Uma NoC consiste de uma rede composta por nodos de processamento (recursos) conectados a um nodo de chaveamento, e de nodos de chaveamento conectados a outros nodos de chaveamento através de canais de comunicação (PALMA, 2007), conforme a Figura 14. Nota-se que a Figura 14a exemplifica uma topologia em anel, onde são interconectados os nodos de chaveamento. Os nodos de processamento, para se comunicarem, devem obrigatoriamente passar por nodos de chaveamento. A Figura 14b mostra a estrutura interna

de um nodo de processamento. Na Figura 14c é mostrado os componentes de um nodo de chaveamento.

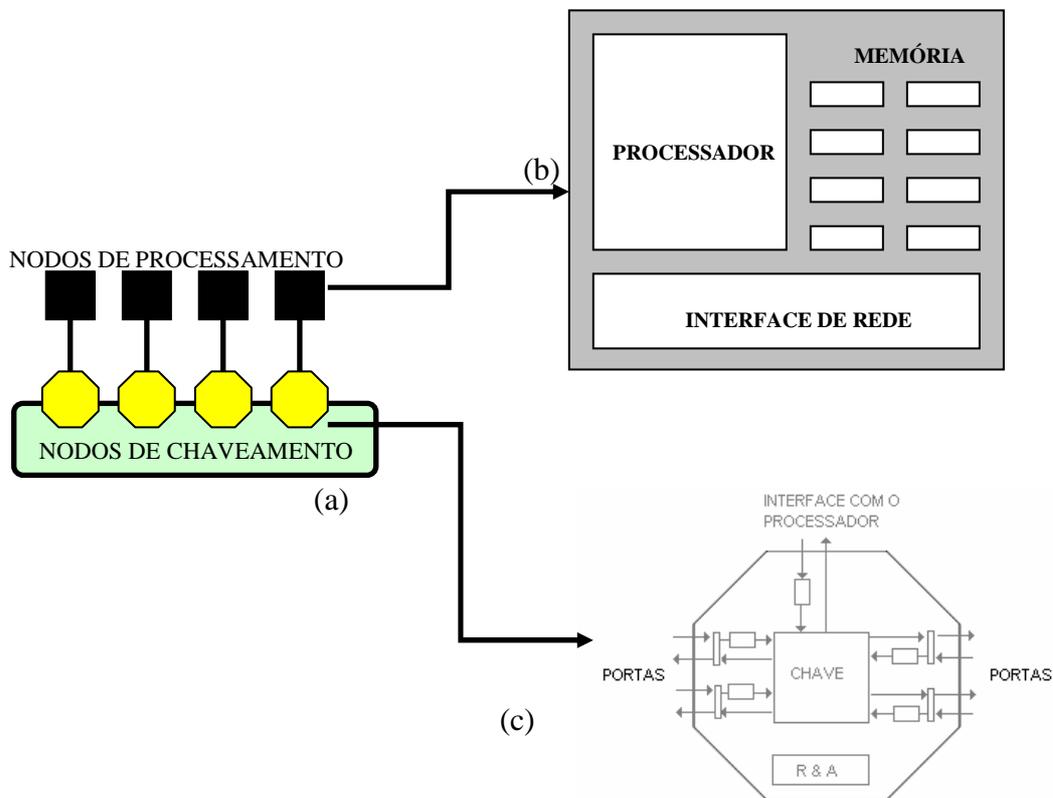


Figura 14: NoC: (a) Com topologia em anel; (b) Nodos de processamento; (c) Nodos de chaveamento.
Fonte: PALMA, 2007.

4.1.2 Roteadores e enlaces

O bloco construtivo de uma rede em chip é o seu roteador, o qual tem como função encaminhar mensagens transferidas pela rede. Um roteador é constituído por um conjunto de filas (*Buffers*) e multiplexadores (chaves), conforme é ilustrado na Figura 15, além de controladores que implementam os mecanismos de comunicação necessários à transferência de mensagens pela rede. (ZEFERINO, 2003). A Figura 16 exemplifica uma estrutura *crossbar*, que tem como função principal comunicar todas as linhas existentes.

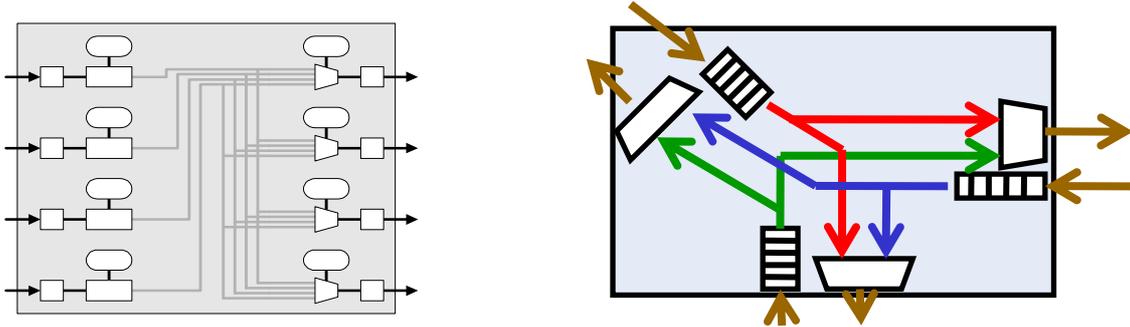


Figura 15: Esquema de roteadores.
Fonte: ZEFERINO, 2003.

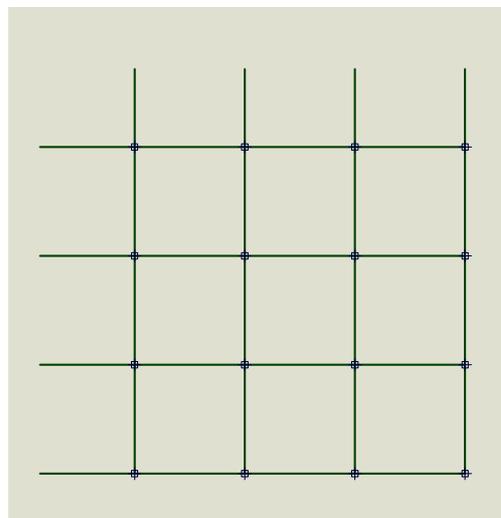


Figura 16: Estrutura *Crossbar*.
Fonte: ZEFERINO, 2003.

A ligação física entre dois roteadores é chamada de enlace, ou *link*, como mostra a Figura 17, no qual são enviados sinais de comunicação entre os roteadores, podendo conter sinais de dados, sinais de controle de fluxo, sinais de enquadramento de mensagem, sinais de paridade e sinais de erro.

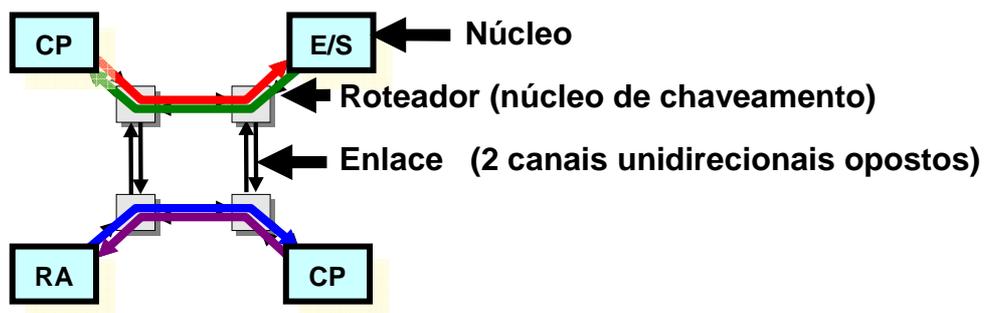


Figura 17: Topologia básica da NoC.
Fonte: ZEFERINO, 2003.

4.1.3 Topologias de redes de interconexão

Uma rede de interconexão pode ser caracterizada pela estrutura como seus nodos são interligados. Essa estrutura é tipicamente representada por um grafo $G(N,C)$, onde N representa o conjunto de nodos (de processamento e/ou de chaveamento) da rede e C representa o conjunto de canais de comunicação (ZEFERINO, 2003). Quanto à topologia, as redes de interconexão para multiprocessadores podem ser agrupadas em duas classes principais, as redes diretas e as redes indiretas.

Nas redes diretas, cada nodo de chaveamento possui um nodo de processamento associado e esse par pode ser visto como um elemento único dentro da máquina, tipicamente referenciado pela palavra nodo (ZEFERINO, 2003), como ilustra a Figura 18. Alguns tipos de redes diretas: grelha (*mesh*), torus e hiper-cubo.

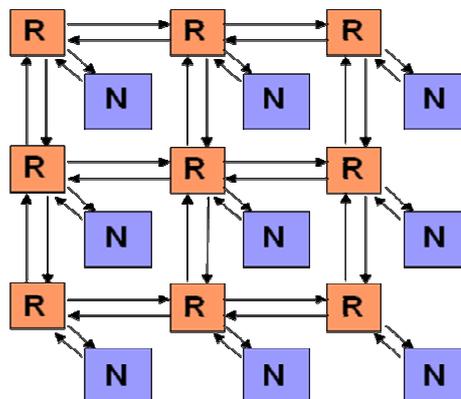


Figura 18: Rede Direta tipo *mesh*.
Fonte: ZEFERINO, 2003.

Em uma rede direta, o roteador é ligado ao seu nodo de processamento através de canais internos, o que significa que a conexão é imediata e dedicada, sendo realizada por meio de interconexões em nível de barramentos, eventualmente, na própria placa de circuito impresso. Nesse caso, a latência de comunicação é significativamente menor e essa ligação não é contabilizada no cálculo da distância entre os nodos fontes e destino e nem na determinação do diâmetro da rede (ZEFERINO, 2003).

Nas redes indiretas, o acoplamento entre os nodos de processamento e os nodos de chaveamento não ocorre no mesmo nível das redes diretas. A visão unificada, onde cada par

nodo de processamento - nodo de chaveamento é visto como um elemento único, não é válida. Os nodos de processamento possuem uma interface para uma rede de nodos de chaveamento baseados em chaves. Cada chave possui um conjunto de portas bidirecionais para ligações com outras chaves e/ou com os nodos de processamento. Somente algumas chaves possuem conexões para nodos de processamento e apenas essas podem servir de fonte ou destino de uma mensagem. A topologia da rede é definida pela estrutura de interconexão dessas chaves (ZEFERINO, 2003). A Figura 19 apresenta uma rede indireta.

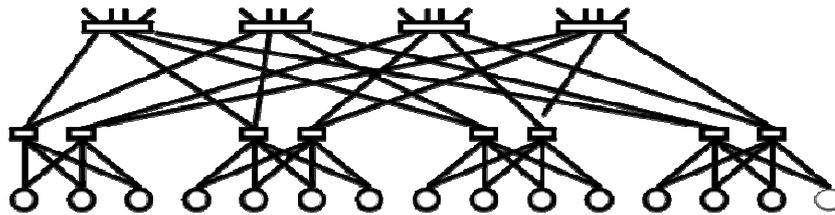


Figura 19: Rede indireta - topologia árvore gorda.
Fonte: ZEFERINO, 2003.

4.1.4 Mensagens e desempenho de uma rede de interconexão

Tipicamente, o modelo de comunicação utilizado é o da troca de mensagens, sendo que a comunicação entre núcleos é feita através do envio e recebimento de mensagens de requisição e de resposta. Cada mensagem é constituída por: um cabeçalho (*header*), a carga útil (*payload*) e um terminador (*trailer*), sendo que o cabeçalho e o terminador formam um envelope ao redor da carga útil da mensagem. O cabeçalho inclui informações de roteamento e de controle utilizadas pelos roteadores para propagar a mensagem em direção ao nodo destinatário da comunicação. O terminador, por sua vez, inclui informações usadas para a detecção de erros e para a sinalização do fim da mensagem (ZEFERINO, 2003), conforme pode ser visto na Figura 20.

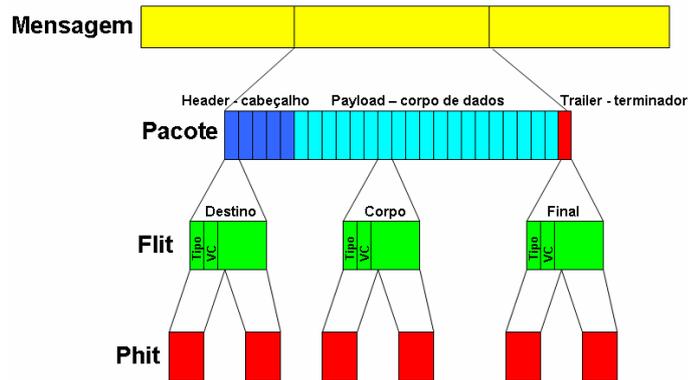


Figura 20: Estrutura de uma mensagem.
Fonte: ZEFERINO, 2003.

Os pacotes são mais curtos que as mensagens e possuem a mesma estrutura (cabeçalho + carga útil + terminador). Um pacote é dividido em *flits* (*FLow control unITS*), que é a menor unidade de dados sobre a qual é realizado o controle de fluxo e pode ser pequeno e ter tantos bits quanto um phit (*PHysical unIT*) (largura do canal físico de dados), ou ser tão grande quanto um pacote. Geralmente, para ter a informação necessária, um *flit* tem o tamanho de um a quatro phits.

O desempenho de uma rede de interconexão pode ser avaliado pela sua largura de banda, vazão e/ou pela latência da rede.

- **Largura de banda (*bandwidth*):** É a taxa máxima com a qual a rede de interconexão pode propagar as informações uma vez que uma mensagem entra na rede, sendo que a unidade de medida utilizada é bits por segundo (bps) (PATTERSON & HENNESSY, 1996);
- **Pela vazão (*throughput*):** É o tráfego máximo aceito pela rede. Pode ser definida como o número de mensagens que a rede entrega na unidade de tempo (DALLY, 1991);
- **Latência da rede:** É o tempo envolvido desde o início da transmissão de uma mensagem até o momento em que ela é completamente recebida. A latência de uma rede com carga, definida pela Equação (7), depende de quatro fatores a saber. (ZEFERINO, 2003):

$$\text{Latência} = \text{Sobrecarga} + \text{Ocupação} + \text{Roteamento e Chaveamento} + \text{Contenção} \quad (7)$$

- **Sobrecarga (*overhead*):** refere-se aos tempos gastos pelos nodos de processamento fonte e destino para, respectivamente, injetar e retirar a mensagem da rede. São considerados os atrasos devido ao software e ao hardware da interface de rede;
- **Ocupação do canal:** é uma medida do tempo gasto para transferir a mensagem através dos enlaces utilizados na rota entre os nodos fonte e destino;
- **Atraso de roteamento e chaveamento:** refere-se ao tempo gasto nos nodos de chaveamento para rotear a mensagem em direção ao seu destino;
- **Atraso de contenção:** refere-se aos tempos nos quais a mensagem é impedida de avançar devido ao congestionamento da rede.

4.1.5 Chaveamento

Em uma NoC, os dados são transmitidos de uma origem para um destino através de chaves (ou roteadores) intermediárias. Para executar estas transmissões, as chaves devem assumir uma política de repasse de dados para a chave seguinte. As duas políticas de chaveamento utilizadas em NoCs são baseadas ou no estabelecimento de um caminho completo entre o nodo fonte e o destino da mensagem ou na divisão das mensagens em pacotes, os quais reservam seus caminhos dinamicamente na medida em que avançam em direção ao seu destino (PALMA, 2003).

4.1.6 Memorização

Em redes que utilizam chaveamento por pacote, os roteadores devem ser capazes de armazenar os pacotes destinados a saídas que estejam sendo utilizadas por outros pacotes e realizar o controle de fluxo para evitar a perda de dados. Para isto, é necessário utilizar um

esquema de memorização para manutenção dos pacotes bloqueados no roteador. O caso ideal seria ter roteadores com capacidade de armazenamento infinita e garantir que nenhum pacote fosse bloqueado por outro quando sua saída fosse liberada. A organização dos *Buffers* de memória e suas localizações interferem no desempenho do roteador (PALMA, 2007). As seções seguintes apresentam algumas estratégias de memorização que podem ser utilizadas em roteadores.

4.1.6.1 Memorização Centralizada Compartilhada

Neste caso, utiliza-se um *buffer* centralizado no roteador para armazenar os pacotes bloqueados de todas as portas de entrada. Este *buffer* é denominado CBDA (*Centrally-Buffered, Dynamically-Allocated*), pois seu espaço de endereçamento é dinamicamente distribuído entre os pacotes bloqueados. Sua largura de banda, no pior caso, deve ser igual à soma das larguras de banda de todas as portas, ou seja, em um roteador $N \times N$, o *buffer* deve possuir $2N$ portas de modo a permitir N acessos simultâneos de leitura e N acessos simultâneos de escrita (PALMA, 2007).

4.1.6.2 Memorização na Entrada

Neste caso, são utilizados *Buffers* independentes nas portas de entrada do roteador. Existem várias implementações possíveis de memorização na entrada, como por exemplo, as estratégias de *buffer* FIFO, *Buffers* SAFC, *Buffers* SAMQ e *Buffers* DAMQ (TAMIR & FRAZIER, 1992). A Figura 21 exibe um *buffer* FIFO e a Figura 22 mostra os *Buffers* SAFC, SAMQ e DAMQ.

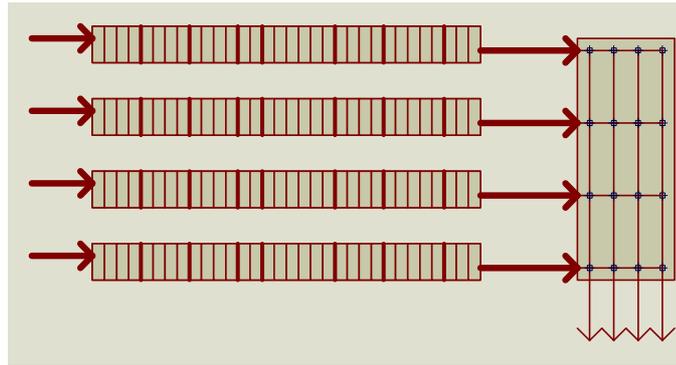


Figura 21: Roteador com quatro *Buffers* FIFO.
Fonte: ZEFERINO, 2003.

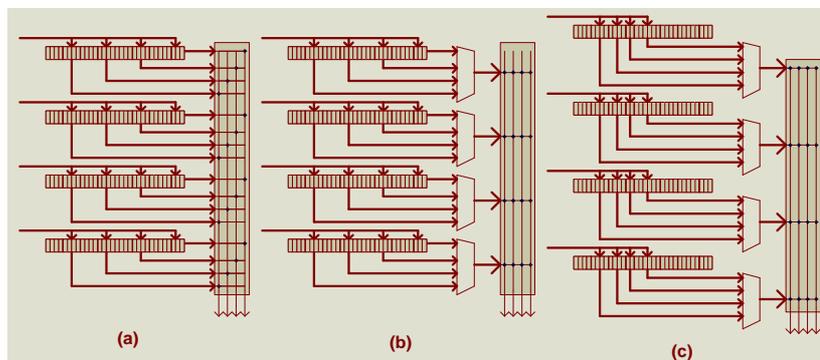


Figura 22: Roteador com quatro *Buffers*: (a) SAFC; (b) SAMQ; (c) DAMQ.
Fonte: ZEFERINO, 2003.

4.1.6.3 Memorização na Saída

Nesta abordagem, o espaço de memorização é particionado entre as saídas, e estas partições podem ser implementadas como *Buffers* FIFO. Cada *buffer* deve ser capaz de suportar a demanda simultânea das N entradas, podendo ser implementado com N portas de escrita ou com uma porta de escrita operando a uma velocidade N vezes maior que a das entradas. Outra dificuldade na implementação desta abordagem é que ela requer um controle de fluxo interno entre portas de entrada e de saída do roteador (PALMA, 2007).

4.1.7 Arbitragem

A arbitragem é responsável por definir a porta de entrada (ou *buffer* de entrada) poderá utilizar uma determinada porta de saída (ou *buffer* de saída) em um determinado momento.

Este mecanismo é essencial para resolver conflitos causados pela existência de múltiplos pacotes competindo por uma mesma porta de saída.

Um dos tipos de arbitragem que pode existir é através do critério baseado em prioridades dinâmicas rotativas (Round-Robin) que garante que nenhum pacote sofrerá com o problema de starvation

4.1.8 Starvation, Livelock e Deadlock

Como visto anteriormente, em uma NoC, os pacotes trafegam através dos canais físicos e dos *Buffers* dos nodos de chaveamento. Uma comunicação só é realizada com sucesso quando a informação enviada chega ao seu destino. Porém, existem três casos que devem ser evitados, pois impedem que a comunicação seja realizada: *starvation*, *livelock* e *deadlock* (PALMA, 2007).

Starvation ocorre quando dois ou mais *Buffers* de entrada de um nodo de chaveamento possuem pacotes destinados a uma mesma saída, é necessário que o mecanismo de arbitragem escolha qual destes *Buffers* deve ser conectado à saída. Dependendo dos critérios de arbitragem utilizados, um pacote com baixa prioridade pode ficar bloqueado permanentemente, esperando por um recurso que é sempre concedido a outros pacotes de maior prioridade.

Outro caso é o chamado de *livelock*, que ocorre quando um pacote trafega permanentemente pela rede porque os canais necessários para que ele atinja seu destino nunca se encontram disponíveis. Este problema acontece, geralmente, em algoritmos de roteamento tolerantes a falhas, pois estes utilizam caminhos não-mínimos para rotear os pacotes. A forma mais simples de evitar este problema é utilizar algoritmos de roteamento que permitam apenas caminhos mínimos, ou seja, os caminhos mais curtos até o destino.

O terceiro caso onde um pacote pode não atingir seu destino é o chamado *deadlock*. Este é o problema mais difícil de ser resolvido, e ocorre quando existe uma dependência cíclica de recursos na rede (ZEFERINO, 2003), apresentado na Figura 23.

A Figura 23a mostra um modelo de roteador com quatro portas bidirecionais (1, 2, 3 e 4) conectadas a um núcleo *crossbar* (X). A Figura 23b exibe a dependência cíclica em uma parte de uma NoC com quatro nodos de chaveamento (A, B, C e D) interligados através dos enlaces Cab, Cbc, Ccd e Cda. Esta dependência acontece porque existem quatro pacotes neste segmento de rede, cada um deles mantendo um canal de enlace e esperando para utilizar outro canal já alocado para outro pacote. É o caso do pacote no enlace Cab (e no *buffer* a ele associado), que necessita do canal Cbc para avançar. Porém este canal já está alocado por outro pacote que se encontra bloqueado neste canal. Esta dependência cíclica é ilustrada na Figura 23c (PALMA, 2007).

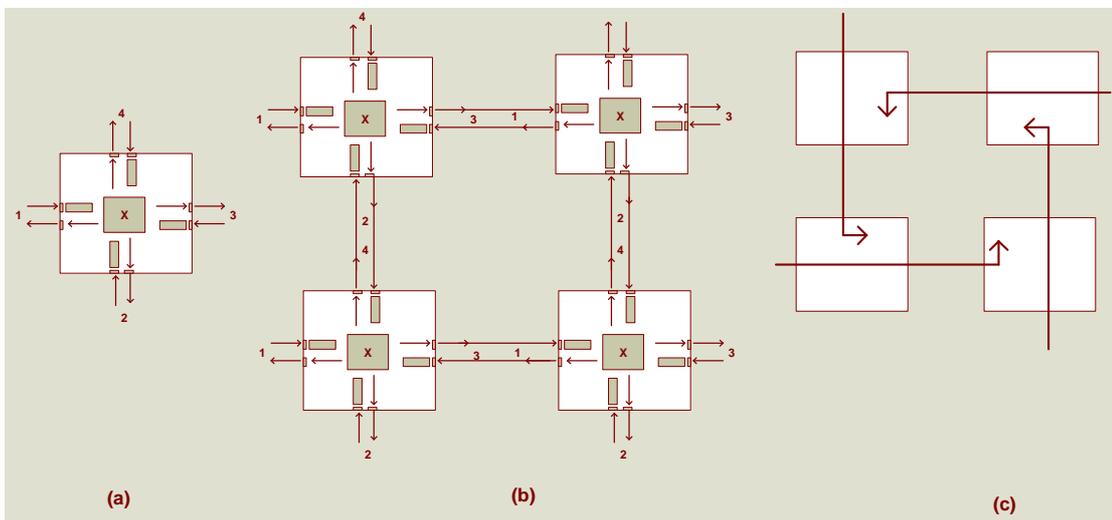


Figura 23: *Deadlock*: (a) roteador; (b) pacotes em *deadlock*; (c) dependência cíclica.
Fonte: ZEFERINO, 2003.

4.1.9 Roteamento

O roteamento é o método usado por um pacote para escolher um caminho através dos canais e roteadores da rede. O algoritmo de roteamento utilizado tem uma forte influência no desempenho da comunicação na rede. Em geral, o algoritmo de roteamento visa atender a alguns objetivos específicos, os quais têm consequência direta em algumas propriedades da NoC (PALMA, 2003), como:

- **Conectividade:** capacidade de rotear pacotes de qualquer nodo fonte para qualquer nodo destino;

- **Liberdade de *deadlock* e *livelock*:** capacidade de garantir que nenhum pacote ficará bloqueado ou circulando infinitamente pela rede sem atingir o seu destino;
- **Adaptatividade:** capacidade de rotear pacotes através de caminhos alternativos quando ocorre congestionamento ou falha em algum componente do caminho em uso;
- **Tolerância a falhas:** capacidade de rotear pacotes na presença de falhas em componentes.

Com o objetivo de se obter uma resposta certa para o tráfego de mensagens, será necessário utilizar um simulador que exhibe as reais condições de geração, transporte e recebimento de pacote de mensagens, em conjunto com uma ferramenta capaz de verificar a potência dissipada no envio de mensagens. Para isto, serão utilizados a ferramenta Orion e o simulador PopNet, que serão descritos a seguir.

4.2 FERRAMENTA Orion

A avaliação do consumo de potência de um circuito determina quanta energia é consumida por operação e quanto calor é dissipado por este circuito. Estes fatores têm uma grande influência em decisões críticas de projeto, tais como: capacidade da fonte de alimentação, tempo de vida da bateria, tamanho das linhas de alimentação, bem como requisitos de encapsulamento e dissipação de calor (PALMA, 2007).

Na área da computação de alto desempenho, o consumo de potência determina a quantidade de circuitos que podem ser integrados em uma mesma pastilha de silício, bem como a sua frequência máxima de operação. Para isto, se utiliza em simuladores de NoC, algumas ferramentas específicas para avaliar o consumo de potência durante o tráfego de mensagens.

Existem diversos modelos de análise de consumo de potência que já foram utilizados em outros trabalhos, como o modelo de potência para os macro-blocos de uma NoC (HU &

MARCULESCU, 2003), modelo baseado na dependência da comunicação e da computação entre os núcleos de uma rede intra-chip (MARCON *et al.*, 2005), modelo para avaliar o consumo de energia em um MPSoC como um todo, medindo o consumo nos núcleos de processamento e no meio de comunicação simultaneamente (EISLEY & PEH, 2004), modelos da dissipação de potência para cada um dos elementos de uma NoC individualmente (BANERJEE *et al.*, 2004), modelo da dissipação de potência baseado na atividade chaveamento na transmissão dos pacotes na rede (PALMA *et al.*, 2007), modelo para avaliar a dissipação de potência em NoCs baseado em simulações e ferramentas comerciais (MATSUTANI *et al.*, 2008), CACO-PS, utilizado para prover dados do consumo de energia, uso de memória e performance (BECK, 2003), Orion (*Open Research Infrastructure for Optimizing Networks*), ferramenta capaz de prever características de potência e desempenho de uma rede NoC (WANG *et al.*, 2002) e ferramenta LUNA, que mostra taxas de utilização para roteadores e enlaces, que irão determinar a potência consumida pela rede em função destes componentes (EISLEY & PEH, 2004). Para este trabalho, Será utilizada a ferramenta Orion. Sua grande vantagem, em comparação com outras ferramentas, é que esta simula desempenho e potência para redes em chip, onde o usuário pode ligar e usar roteadores. Porém, para se adequar a futuras aplicações através da integração com simuladores de aplicação, ele é construído com o LSE (*Liberty Simulation Environment*) que é desenvolvido para uma simulação de espaço em nível arquitetural. Seu grande ganho é prover uma plataforma completa para explorar microprocessadores interconectados. Se houver um único chip ou até mesmo múltiplos, em nível arquitetural (WANG *et al.*, 2002).

O Orion é uma ferramenta que fornece características detalhadas de potência e desempenho de uma rede NoC com condições de atraso, capacitâncias, entre outros (WANG *et al.*, 2002). Com esta ferramenta, podem ser analisadas diversas condições de tráfego e seus efeitos, bem como determinar parâmetros otimizados do sistema, sendo estes fatores determinantes na escolha da micro-arquitetura adequada.

O modelo de potência da ferramenta Orion está baseado na parcela de potência dinâmica, mostrada no Capítulo 2 (item 2.1.3). Como pôde ser visto, uma das principais parcelas da potência dinâmica está associada à soma das capacitâncias internas presentes em um circuito. A potência dinâmica é a fonte primária de consumo de energia em circuitos CMOS. Portanto, é de extrema importância a sua avaliação precisa (WANG *et al.*, 2002). A potência dinâmica leva em consideração vários fatores, mas o principal fator é a variável C

(capacitância parasita), presentes em sistemas em chip. Isso ocorre devido ao fato dos barramentos que interligam normalmente estas estruturas por ter uma grande extensão de fios em paralelo faz com que se criem várias capacitâncias que afetam o sinal que se propaga por eles ocasionando vários problemas nestas estruturas.

Há uma grande quantidade de capacitâncias a serem relacionadas em um estudo detalhado, inclusive as próprias capacitâncias inerentes às junções dos transistores que formam as estruturas de qualquer circuito digital. A Tabela 6 apresenta os tipos de capacitâncias encontradas na ferramenta Orion, utilizadas com o objetivo de se obter um resultado mais próximo da simulação com o real.

Tabela 6 – Notações de Capacitância.

Notação	Descrição
$C_g(T)$	Capacitância do <i>gate</i> do transistor
$C_d(T)$	Capacitância de difusão do <i>gate</i> do transistor
$C_a(T)$	Soma de $C_g(T) + C_d(T)$
$C_w(L)$	Capacitância do metal do fio de comprimento L
C_{in_cnt}	Capacitância do nó de entrada do conector do <i>Crossbar</i>
C_{out_cnt}	Capacitância do nó de saída do conector do <i>Crossbar</i>
C_{ctr_cnt}	Capacitância do nó de controle do conector do <i>Crossbar</i>
C_{FF}	Capacitância de chaveamento de um <i>flip-flop</i>
C_{FC}	Capacitância de relógio (clock) de um <i>flip-flop</i>

Fonte: WANG *et al*, 2002

4.2.1 Componentes de uma NoC utilizando o Orion

FIFO (*First Input First Output*) são *Buffers* que funcionam com fluxo de dados linear, ou seja, o primeiro dado de entrada será também o primeiro dado colocado na saída. Portanto, a ordem de saída dos pacotes depende exclusivamente da ordem de entrada. Em se tratando de redes em *chip*, os *Buffers* possuem grande contribuição no consumo de potência devido ao armazenamento constante de dados provenientes do tráfego entre roteadores. O modelo de potência deste tipo de *buffer* é descrito pelas relações presentes na Tabela 7. A Figura 24 mostra a estrutura interna do *buffer* FIFO com cada um dos componentes apresentados na Tabela 7.

Tabela 7 – Modelo do *buffer* FIFO.

Característica	Descrição
Parâmetros arquiteturais	
B	Tamanho do <i>buffer</i> em <i>flits</i> *
F	Tamanho do <i>flit</i> em bits
P_r	Número de portas de <i>Buffers</i> de leitura
P_w	Número de portas de <i>Buffers</i> de escrita
Parâmetros de Tecnologia	
h_{cell}	Altura da célula de memória
w_{cell}	Largura da célula de memória
d_w	Espaçamento entre fios
Equações Modelo	
Comprimento da linha de palavra	$L_{wl} = F[w_{cell} + 2(P_r + P_w)d_w]$
Comprimento da linha de bits	$L_{bl} = B[h_{cell} + (P_r + P_w)d_w]$
Capacitância da linha de palavra	$C_{wl} = 2.F.C_g(T_p) + C_a(T_{wd}) + C_w(L_{wl})$ **
Capacitância de leitura da linha de bits	$C_{br} = BC_d(T_p) + C_d(T_c) + C_w(L_{bl})$
Capacitância de escrita da linha de bits	$C_{bw} = BC_d(T_p) + C_a(T_{bd}) + C_w(L_{bl})$
Capacitância de pré-carga	$C_{chg} = C_g(T_c)$
Capacitância da célula de memória	$C_{cell} = 2(P_r + P_w)C_d(T_p) + 2C_a(T_m)$
Energia do Sense Amplifier	E_{amp} do modelo empírico***

Fonte: WANG *et al*, 2002

Observações:

- *Flit* é uma pequena unidade de controle de fluxo, é a menor unidade do *buffer* e de alocação de canal.
- T_p é o transistor de passagem que conecta linhas de bit e células de memória; T_{wd} , é o guia da linha de palavra; T_{bd} , é o guia de escrita da linha de bits; T_c , é o transistor de pré-carga da leitura da linha de bits; e o T_m , é o inversor da célula de memória

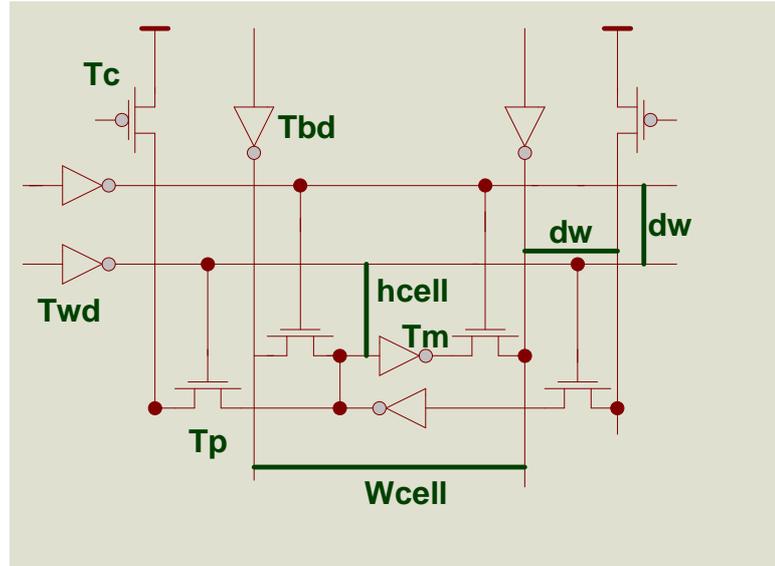


Figura 24: Buffer FIFO.
Fonte: WANG *et al*, 2002

A matriz do *crossbar* representa a definição dos parâmetros das matrizes de chaveamento, que servem para conectar as portas de entrada às portas de saída. A Tabela 8 apresenta o modelo da matriz do *crossbar* e a Figura 25 ilustra uma matriz *crossbar* $W \times W$. A caixa menor representa um conector, que pode ser um *buffer* de três estados (tri-state) ou uma porta de transmissão.

Tabela 8 – Modelo da Matriz do *Crossbar*.

Característica	Descrição
Parâmetros arquiteturais	-----
I	Número de portas de entrada do <i>Crossbar</i>
O	Número de portas de saída do <i>Crossbar</i>
W	Largura das portas em bits
Parâmetros de Tecnologia	-----
	--
h_t	Altura do trilho
w_t	Largura do trilho
Equações Modelo	-----
	--
Comprimento da linha de entrada	$L_{in} = O.W.w_t$
Comprimento da linha de saída	$L_{out} = I.W.h_t$
Capacitância da linha de entrada	$C_{xb_in} = OC_{in_cnt} + C_a(T_{id}) + C_w(L_{in})^*$
Capacitância da linha de saída	$C_{xb_out} = IC_{out_cnt} + C_a(T_{od}) + C_w(L_{out})$
Capacitância da linha de controle	$C_{xb_ctrl} = IC_{ctr_cnt} + C_w(L_{in}/2)^{**}$

Fonte: WANG *et al*, 2002

Observações:

- T_{id} é o guia de entrada, T_{od} é o guia de saída.
- Aqui foi usado o comprimento padrão para as linhas de controle e foi assumido que as linhas de controle são da mesma direção que as linhas de entrada.

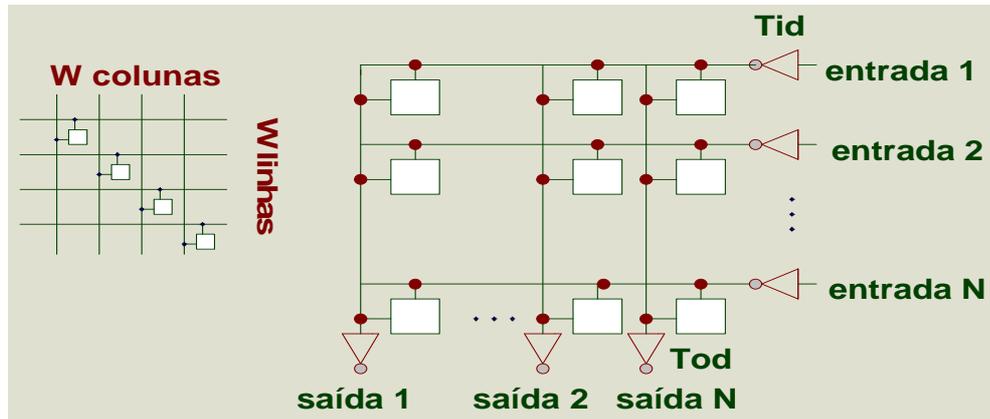


Figura 25: Matriz do *Crossbar* Wlinhas x Wcolunas.
Fonte: WANG *et al*, 2002.

A matriz do árbitro representa a definição dos parâmetros das matrizes de arbitragem, que servem para definir quais canais de entrada poderão utilizar os canais de saída. O árbitro é fundamental para a resolução de conflitos decorrentes da existência de múltiplos pacotes competindo por um mesmo canal de saída (WANG *et al*, 2002). O mecanismo de arbitragem deve ser capaz de resolver esses conflitos, selecionando um dos pacotes com base em algum critério e sem levar qualquer pacote a sofrer *starvation* (WANG *et al*, 2002). A Tabela 9 mostra o modelo da matriz do árbitro para o Orion.

Tabela 9 – Modelo da Matriz do Árbitro.

Característica	Descrição
Parâmetros arquiteturais	-----
R	Número de requeridores
Equações Modelo	-----
Capacitância de Requisição	$C_{req} = C_a(T_I) + (R - 1)C_g(T_{N1}) + C_g(T_{N2})^*$
Capacitância de Concessão	$C_{gnt} = C_d(T_{N2})$
Capacitância Prioritária	$C_{pri} = C_{FF} + 2C_g(T_{N1})$
Capacitância Interna	$C_{int} = C_d(T_{N1}) + C_g(T_{N2})$
Capacitância de Relógio (Clock)	$C_{clk} = C_{FC}$

Fonte: WANG *et al*, 2002

Observações:

- T_{N1} é o primeiro nível da porta NOR, T_{N2} é o segundo nível da porta NOR, e T_I , o inversor.

Por fim, a partir da estrutura completa de um roteador *wormhole* pode-se ter a noção do todo, ou seja, do componente que engloba todos os outros mostrados anteriormente, como pode ser visto na Figura 26.

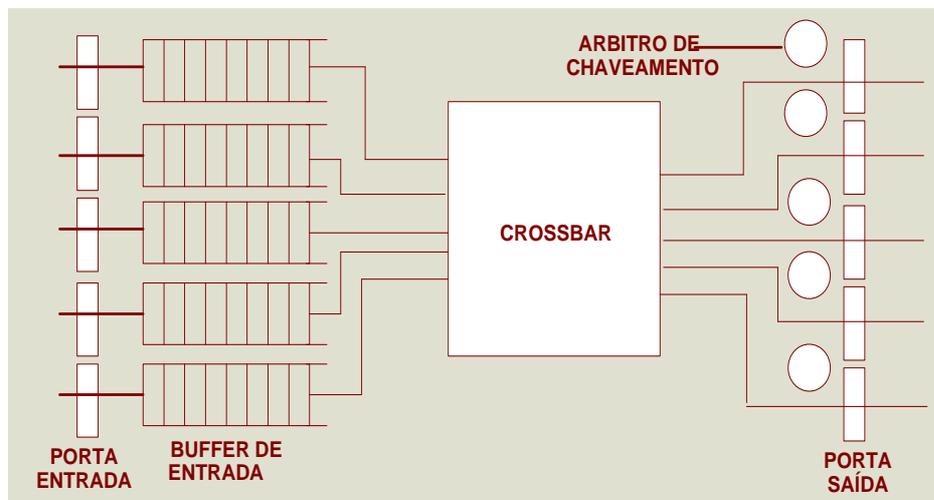


Figura 26: Estrutura de um Roteador *Wormhole*.
Fonte: WANG *et al*, 2002.

Nesta figura, a disposição dos elementos no roteador podem ser observadas as portas de entrada e saída do roteador, por onde entram e saem os pacotes ou *flits*, os *Buffers* de entrada que armazenam, um *Crossbar* que faz o cruzamento dos pacotes mandando para a saída requerida, e os árbitros que controlam a saída pelas portas.

A Tabela 10 mostra as relações entre potências e energias, que serão determinantes para a potência total consumida pela estrutura, para utilizar na ferramenta Orion.

Tabela 10 – Modelo do Roteador Completo.

Potência Máxima	$P_{\max} = f_{clk} \cdot (5 \cdot E_{buffer} + E_{crossbar} + 5 \cdot E_{arbiter})$
Energia do Buffer	$E_{buffer} = P_f \cdot (E_{write} + E_{read})$
Energia consumida na escrita	$E_{write} = E_{wl} + 32 \cdot (E_{bw} + E_{cell})$
Energia consumida na leitura	$E_{read} = E_{wl} + 32 \cdot (E_{br} + 2 \cdot E_{chg} + E_{amp})$
Energia consumida pelo Crossbar	$E_{crossbar} = 5 \cdot P_f \cdot 32 \cdot (E_{xb_in} + E_{xb_out})$
Energia consumida pelo Árbitro	$E_{arbiter} = \frac{P_f}{L \cdot E_{arbitration}} + E_{clock}$
Energia gasta na arbitragem	$E_{arbitration} = E_{pri} \cdot (4 - 1) + 4 \cdot E_{int} \cdot (4 - 1) + E_{req} + (E_{gnt} + E_{xb_ctr})$
Energia do Relógio (Clock)	$E_{clock} = \frac{1}{2} \cdot 4 \cdot (4 - 1) \cdot E_{clk}$

Fonte: WANG *et al.*, 2002

Observações:

- P_f é a probabilidade de que cada porta de entrada receba 1 *flit* todo o ciclo.

4.3 Simulador PopNet

O simulador de redes em NoC são utilizados com o objetivo principal de apresentar o comportamento do tráfego de mensagens de uma rede em chip, com o objetivo de analisar o seu consumo e o comportamento na NoC durante o funcionamento, antes de ser colocado em um chip real. Existem alguns simuladores de redes utilizados em outros trabalhos, como simulador escrito em C++ que descreve a arquitetura dos componentes internos de roteadores de NoCs no nível de transação (KREUTZ *et al.*, 2005), A rede SoCIN (ZEFERINO, 2003), gpNoCsim (ALI *et al.*, 2005), MAIA, que gera a NoC de acordo com as configurações dos parâmetros definidos pelo usuário (MELLO & MÖLLER, 2003), a rede Hermes (MORAES *et al.*, 2004), CASS (PETROT *et al.*, 1997) (GREINER, 2001) e o simulador PopNet (WANG *et al.*, 2003). Dentre todos estes descritos, o simulador a ser utilizado neste trabalho será o PopNet, principalmente por ele já estar integrado com a ferramenta Orion.

O simulador PopNet é responsável pela simulação de tráfego dos pacotes de mensagens em nível de software, calculando em conjunto com o Orion o consumo de energia gerado no envio das mensagens pela NoC. Este simulador estima o comportamento dos componentes de uma NoC durante o envio e o recebimento de mensagens, atuando em conjunto com a ferramenta Orion para se obter o consumo de potência para a realização do tráfego. Os consumos de potência estipulados pelo PopNet são os dos roteadores, dos *Buffers*, dos árbitros, entre os enlaces para a comunicação, o tempo de envio do pacote de mensagens, entre outros.

O Fluxo de execução do Simulador PopNet está descrito na Figura 27. Este simulador utiliza várias configurações. Nesta figura, pode ser visto o fluxo de funcionamento do PopNet, onde tem desde a criação e simulação dos componentes de uma rede em chip, obtendo-se um tráfego de rede, até mostrar os resultados finais de potência, passando pela ferramenta Orion.

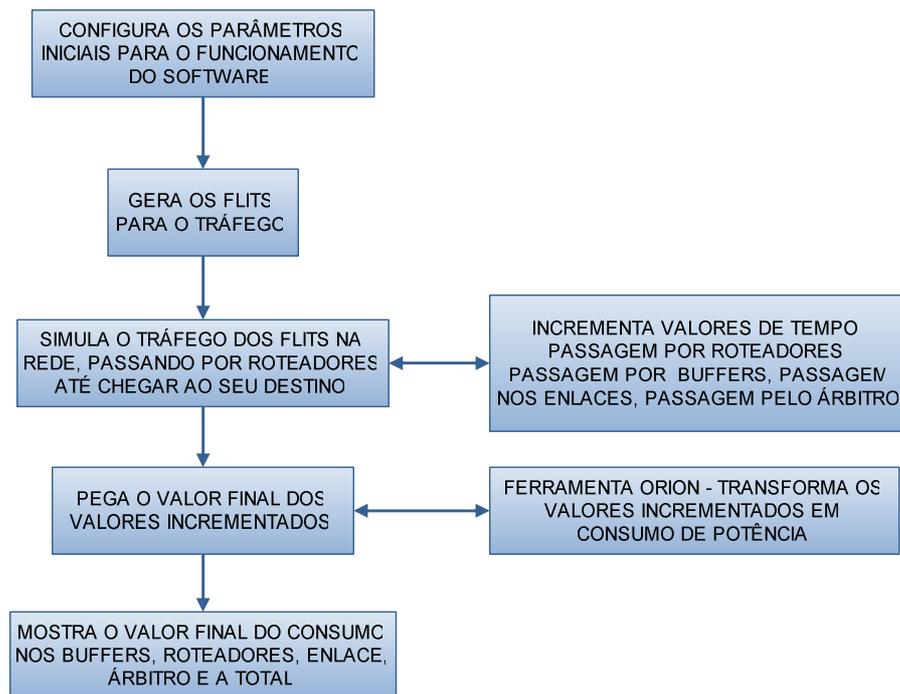


Figura 27: fluxo de funcionamento do PopNet para a implementação deste trabalho
 Fonte: Figura elaborada pelo autor através da interpretação do funcionamento do simulador PopNet.

Neste simulador, é colocada as configurações iniciais dos parâmetros, tais como a dimensão da matriz de roteadores, a quantidade de *Buffers* de entrada, a quantidade de *Buffers*

de saída, a quantidade de bits para cada *flit*, quantidade de canais virtuais, o tipo de rede (neste caso, é utilizada uma rede mesh – dimensão 2) e o tipo de roteamento.

Os valores são injetados e é feita a simulação em uma rede NoC, onde é feito o tráfego de mensagens com pacotes gerados pelo próprio Popnet com largura de *flits* de 64 bits. São enviados 59915 *flits* de mensagens, divididos em 11983 pacotes enviados, ou seja, 5 *flits* para cada mensagem. Sendo o primeiro *flit* o cabeçalho (*header*), o último é o terminador (*trailer*) e os três do meio são o corpo (*body*). Os valores são simulados em um tráfego de mensagens, armazenando assim os valores como o número de chaveamentos que ocorreram durante os tráfegos, o tempo de espera de uma mensagem em um *buffer*, a decisão do sinal seguir o seu caminho, a parada de uma mensagem em um enlace, entre outros. Após ser verificado, estes valores finais encontrados são enviados à ferramenta Orion, que transforma estes valores em consumo de potência, onde mostra na tela, conforme Figura 28.

```

*****configuration*****
ary size:9
cube dimension:2
virtual channel number:3
buffer size:12
outbuffer size:12
flit size:1
link length:1000
simulation length:20000
trace file:./random_trace/bench
Routing algorithm:0
*****configuration*****
Current time: 0.14511 Incoming packets0 Finished packets0
*****
total finished:      0
average Delay:      nan
total mem power:    0
total crossbar power: 0
total arbiter power: 0
total link power:   0
total power:        0
*****
Current time: 2000.5 Incoming packets2367 Finished packets2317
*****
total finished:      2317
average Delay:      35.6322
total mem power:    12.2583
total crossbar power: 1.03798
total arbiter power: 0.00658472
total link power:   1.65187
total power:        14.9547
*****
Current time: 4000.9 Incoming packets4779 Finished packets4709
*****
total finished:      4709
average Delay:      35.433
total mem power:    12.334
total crossbar power: 1.04347
total arbiter power: 0.00661025
total link power:   1.66097
total power:        15.045
*****

```

Figura28: Tela de apresentação dos resultados do simulador PopNet

Fonte: Tela retirada do simulador PopNet.

4.3.1 Gerações de Novos Tráfegos

A simulação gera o seu fluxo de mensagens, ou seja, as mensagens que serão trocadas entre os nodos são geradas por uma aplicação rodando em tempo real. Este simulador possui um arquivo responsável pela geração dos pacotes, que possui o fluxo de funcionamento mostrado na Figura 29.

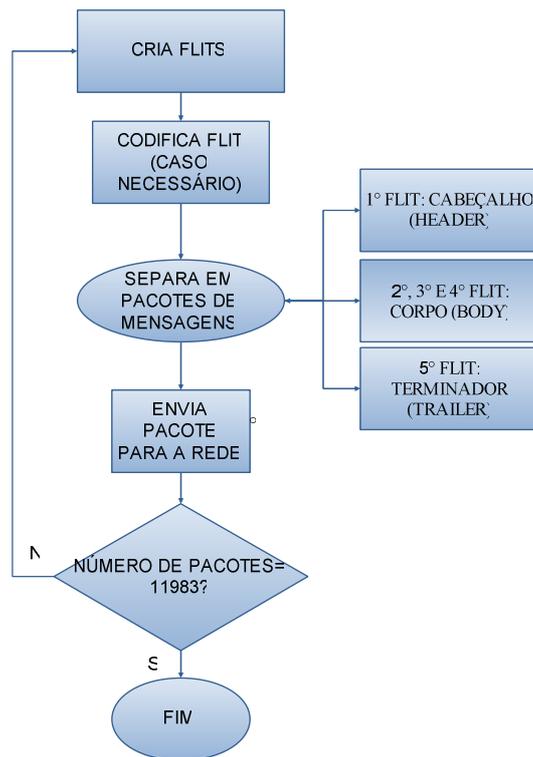


Figura 29: geração de pacote de mensagens no arquivo sim_router.cc

Fonte: Figura elaborada pelo autor através da interpretação do funcionamento do simulador PopNet.

Para iniciar o software, é necessário digitar o seguinte comando de inicialização:

- 1) make clean
- 2) make PopNet
- 3) ./PopNet -A 9 -c 2 -V 3 -B 12 -O 12 -F 1 -L 1000 -T 20000 -r 3 -I
./random_trace/bench -R 0

O parâmetro “A” indica a quantidade de roteadores colocados em cada dimensão. Neste caso, é utilizada uma dimensão 9x9. O parâmetro “c” é a configuração da dimensão da rede. Neste trabalho será utilizada uma rede mesh (2 dimensões). O parâmetro “B” é o parâmetro para inserir o número de *Buffers* utilizados na entrada para recebimento de mensagens. O parâmetro “O” é o parâmetro para inserir o número de *Buffers* utilizados na saída para enviar as mensagens. Neste trabalho, são utilizados 12 *Buffers* de entrada e 12 *Buffers* de saída. O parâmetro “F” serve para colocar a quantidade de *flits*. Este software assume valores de 64 bits por flit. Ou seja, o número que será colocado neste parâmetro será multiplicado por 64. O parâmetro “L” é o comprimento de ligação entre roteadores. O parâmetro “T” é o número de

ciclos utilizados na simulação. O parâmetro “r” é a velocidade de geração dos números randômicos. O parâmetro “I” indica o diretório que serão buscadas as potências pré-definidas entre os roteadores. O parâmetro “R” indica qual o tipo de roteamento que será utilizado (neste caso, será utilizado o roteamento XY, onde o pacote percorrerá primeiro em X para depois percorrer em Y). No diretório citado existe os seguintes valores pré-definidos. Existem no total 82 arquivos com o roteador em XY, onde o arquivo principal se chama *bench*, e possui todos os pacotes de rede. Em cada arquivo, o formato básico consiste em:

- T: tempo de injeção de pacotes;
- sx sy: o endereço do roteador fonte;
- dx, dy: o endereço do roteador destino;
- n: Número de *flits* utilizados para aquele endereço.

O direcionamento do pacote de mensagens para o seu destino é por roteamento XY. O fluxo de funcionamento é mostrado na Figura 30.

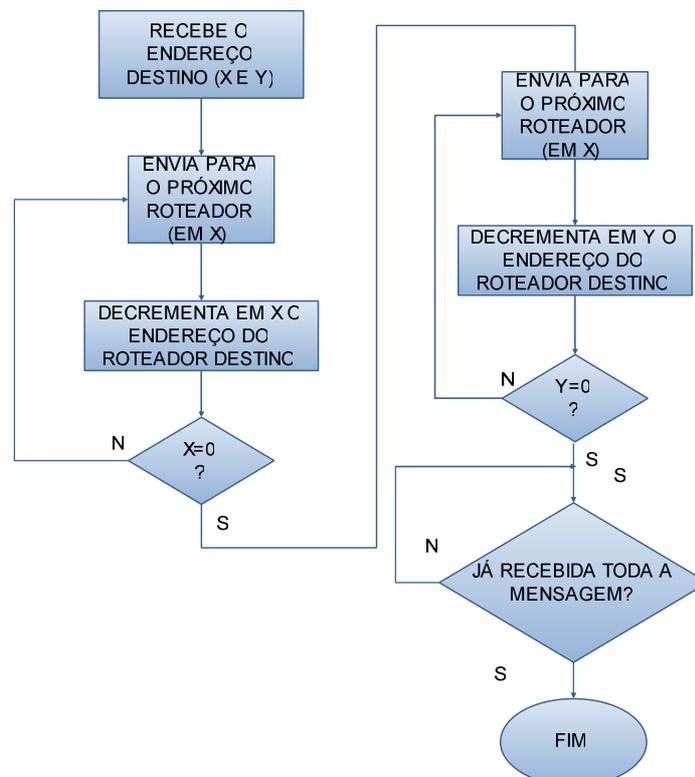


Figura 30: processo de envio de mensagens pelos roteadores

Fonte: Figura elaborada pelo autor através da interpretação do funcionamento do simulador PopNet.

4.4 Integração PopNet – Orion com codificadores de operandos

Se o Simulador PopNet é o simulador responsável pelo tráfego do pacote de mensagens, o Orion é o responsável para calcular o consumo de potência total realizado pelo tráfego na rede. O Orion promove um grande índice de confiança nos resultados por ela propostos, pois seus modelos de potência reproduzem as propriedades físicas de cada componente da NoC. Esta integração já vem implementada neste simulador.

Para a redução do consumo de potência, foi aplicado esquemas de codificação. Para isto, foram modificados alguns arquivos. O arquivo principal que foi modificado para a implementação dos codificadores o arquivo `sim_router.cc`. Neste arquivo, foram colocadas as funções de codificação *Gray*, *Transition*, híbrido-2 e híbrido-4. Foram implementados estes codificadores por terem uma maior facilidade na integração com o PopNet. A seguir é mostrado o novo comando de inicialização:

```
/PopNet -A 9 -c 2 -V 3 -B 12 -O 12 -F 1 -D 0 -L 1000 -T 20000 -r 3 -I ./random_trace/bench -R 0
```

Foi modificado este comando para colocar também o tipo de codificação utilizada. A letra utilizada é o D, que pode assumir os valores 0 (sem codificação), 1 (codificação *GRAY*), 2 (codificação *TRANSITION*), 5 (codificação *HÌBRIDO-m=2*) e 6 (codificação *HÌBRIDO-m=4*).

4.5 Inserindo Codificacoes de Dados em NoCs

Em NoCs, os dados são transmitidos em pacotes, os quais são enviados através de roteadores, partindo de um núcleo de origem, até atingir um núcleo de destino. Estes pacotes são compostos por um cabeçalho (contendo informações de roteamento), um terminador (contendo o fim da mensagem) e por um corpo (contendo os dados a serem transmitidos). Esta codificação é feita somente nos *flits* do corpo (*Body*), de modo que a mensagem não perdesse o seu destino. Assim, em uma abordagem que combina esquemas de codificação e uma NoC, não é vantajoso codificar e decodificar o cabeçalho e o terminador do pacote, já

que a informação contida no mesmo deve ser lida pela lógica de roteamento de cada roteador, a cada hop tomado pelo pacote, desde sua origem até seu destino.

Desta forma, pode ser executada somente a codificação em sua origem e a decodificação em seu destino, convertendo os dados originais em dados codificados, que são transmitidos através da NoC.

No próximo capítulo, serão feitas as simulações das mensagens utilizando esquemas de codificação, e será feita uma análise do comportamento de cada situação.

5 RESULTADOS OBTIDOS

Neste capítulo será feita a análise da integração PopNet-Orion-Codificadores, para verificar a eficácia quanto a redução do consumo de potência, comparado com o simulador sem codificadores.

5.1 Características da simulação

As principais características para a simulação que devemos levar em consideração:

- Topologia *mesh* 9x9;
- Roteamento XY;
- Chaveamento *Wormhole*;
- *Buffers* FIFO;
- Arbitragem *Round Robin*.
- Controle de fluxo por canais virtuais

Foram feitas gerações de números, que transformados em bits, formam *flits* com 64 bits. Os sinais gerados foram do tipo:

- Números Aleatórios – Foi feita a geração de números aleatórios, de modo que os valores gerados, quando transformados em *flits* de 64 bits, tenham uma grande quantidade de transições entre os bits, quando for comparado bit a bit;

- Números que geram uma Rampa: - Foram gerados estes números, de modo que haja uma seqüência entre eles. Estes *flits* gerados, quando tiver a comparação bit a bit entre dois, terá uma quantidade pequena de transições.
- Números que geram uma Senóide – Foram gerados estes valores, de modo que haja uma seqüência entre *flits*, que haja uma quantidade pequena de transições, na comparação bit a bit, e que haja uma oscilação dos *flits* gerados entre o valor mínimo e o máximo colocado no software.

Este simulador possui valores mínimos e máximos para gerar os *flits*, de modo que quando está sendo aplicado a geração de números, gere um valor entre o máximo e o mínimo.

O valor máximo foi: FFFFFFFFFFFFFFFF(hex)

Os valores mínimos foram:

1. Números aleatórios:
 - A. 0000000000000000 hex
 - B. 00000FFFFFFFFFFFF hex
2. Números que formam uma rampa:
 - A. 0000000000000000 hex
 - B. FFFFFFFFFFFFFC184 hex
3. Números que formam uma senóide:
 - A. 0000000000000000 hex
 - B. FFFFFFFFFF000000 hex

Foram colocados estes valores principalmente para que a geração dos valores para os *flits* fossem mais próximos ou não, ocorrendo assim a probabilidade de ocorrer um número maior de transições.

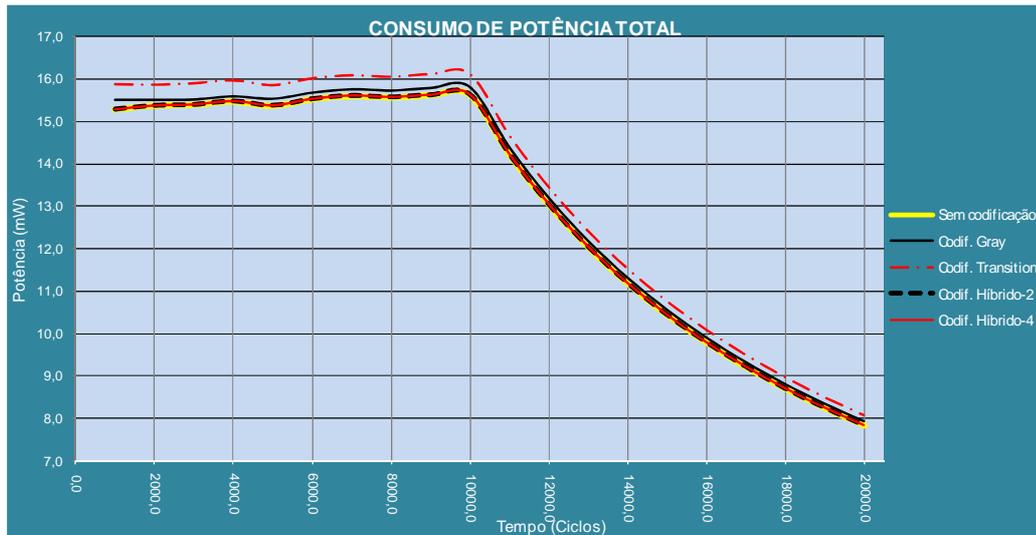
Os valores gerados passaram sem codificação, codificação *Gray*, codificação *Transition*, codificação Híbrido-2 e codificação Híbrido-4. Os gráficos gerados são gráficos de consumo de potência total, que compreende o consumo de potência da memória dos *Buffers*, consumo de potência dos roteadores, consumo de potência dos *links* e o consumo de potência dos árbitros.

Para que não ocorra a mudança do destino do pacote de mensagem para cada roteador, os *flits* contidos no cabeçalho e no terminador de uma mensagem não são alterados. O destino de cada mensagem é feita no próprio simulador. Esta simulação foi feita com tecnologias acima de 100nm.

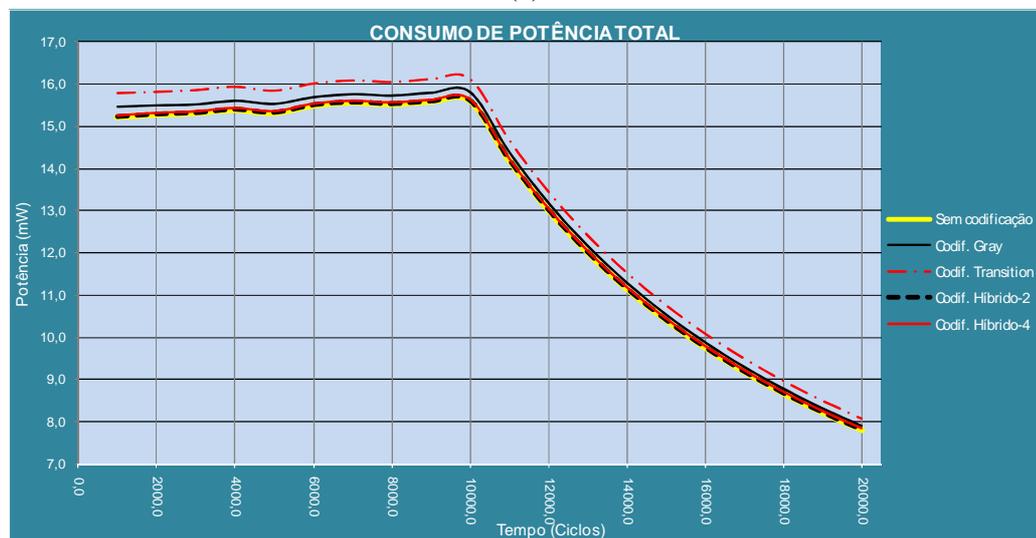
5.2 Resultados

Os resultados de consumo de potência foram gerados pelo simulador PopNet, no ambiente Linux. Estes valores são colocados em uma tabela de Planilha Eletrônica (mostradas no Anexo A) para serem gerados os gráficos. Todos os gráficos são mostrados a seguir, de acordo com o valor mínimo colocado durante a simulação.

No início de todas as simulações, os valores iniciais dos gráficos são altos no início, e após, vai diminuindo. Isto ocorre devido ao software que envia muitos pacotes ao mesmo tempo e o chaveamento não consegue passar todos ao mesmo tempo, ocorrendo um saturamento da rede no início, ocorrendo assim um consumo maior de potência. Os gráficos são mostrados a seguir:



(a)

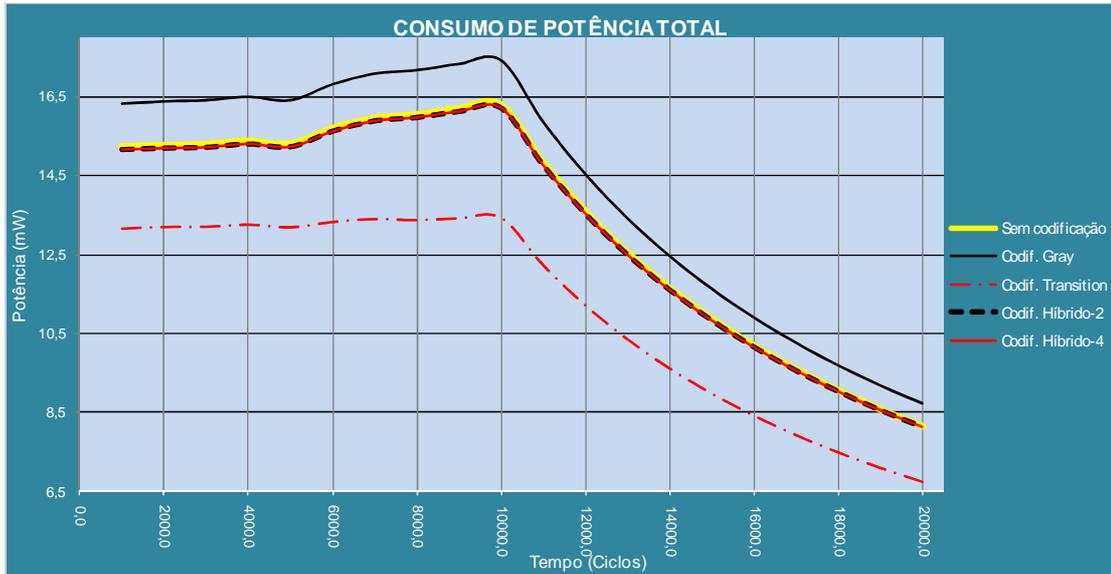


(b)

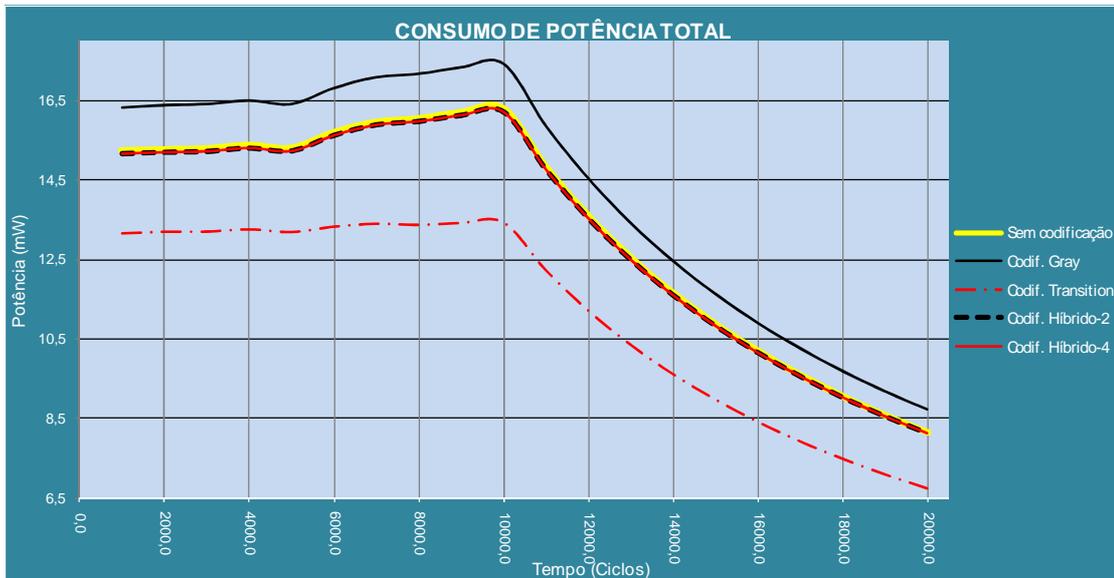
Figura 31: Gráficos do Consumo de Potência Total, simulado no POPNET, a partir de *flits* gerados por números aleatórios, com valor mínimo (a) 0000000000000000(HEX), (b) 000000FFFFFFFFFFFFhex.

Fonte: Figura elaborada pelo autor através de resultados obtidos pelo simulador PopNet.

A maior parcela de consumo se deve ao consumo de potência dos *Buffers* (em torno de 60%). Na figura 31, nota-se que não houve uma redução de potência considerável com nenhum codificador, houve até um aumento do consumo utilizando a codificação *Gray* e *Transition*. Nota-se que neste tipo de sinal, a codificação híbrida 2 e 4 apresentou melhores resultados quanto à redução do consumo. Isto se deve principalmente pelo fato da codificação híbrida ter uma mínima dependência das entradas de dados e característica de baixa atividade de chaveamento, mas não ocorrendo uma redução de potência, se comparado ao sem codificação.



(a)



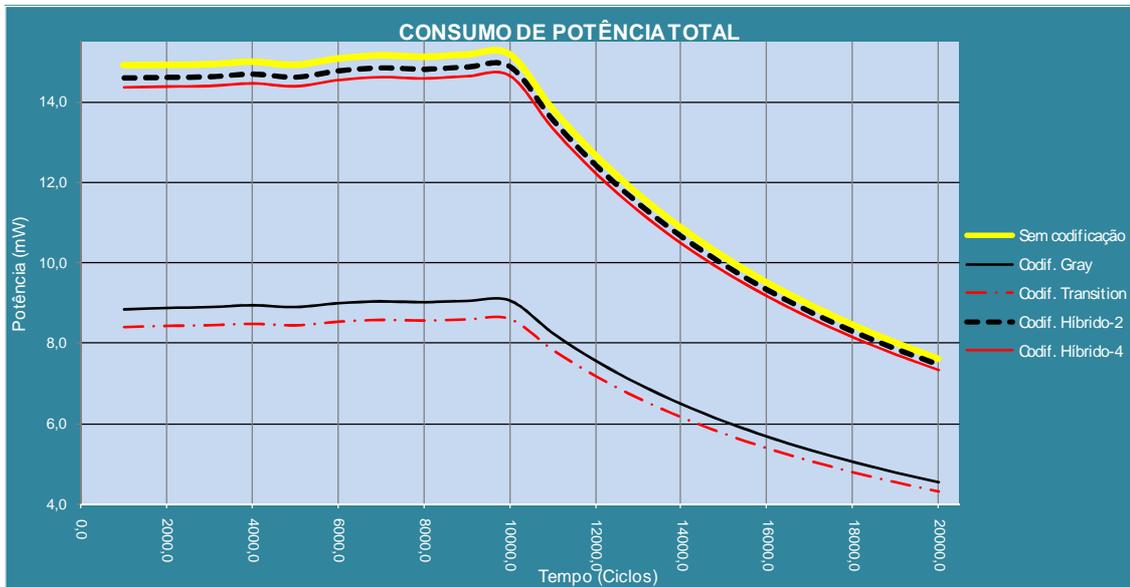
(b)

Figura 32: Gráficos do Consumo de Potência Total simulado no POPNET, a partir de *flits* gerados em seqüência, de modo a formar uma rampa, com o valor mínimo (a) 0000000000000000hex, (b) FFFFFFFF184hex.

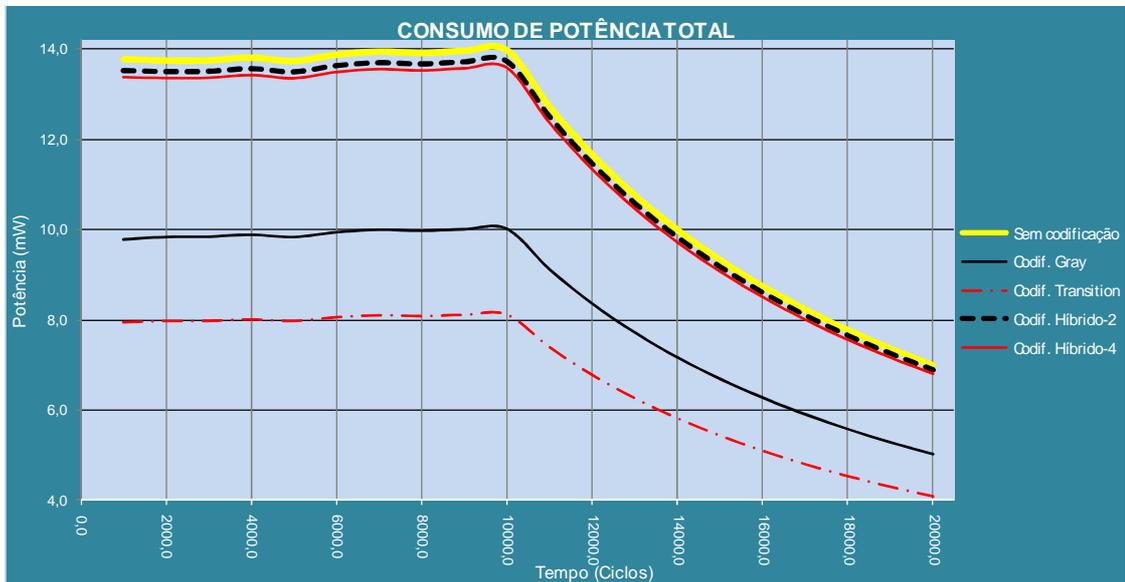
Fonte: Figura elaborada pelo autor através de resultados obtidos pelo simulador PopNet.

Os gráficos apresentados na Figura 32 mostram que a codificação *Transition* apresentou um melhor resultado de redução do consumo de potência. Isto ocorre pelo seu tipo de funcionamento, que faz comparação bit a bit (quando existe a transição entre bits, é enviado um valor 1 e quando não há, é enviado um valor 0), e através disto faz a codificação do *flit*. Com isto, percebe-se no gráfico que o número de chaveamentos diminui consideravelmente. A codificação *Gray* apresentou um aumento no consumo de potência e os híbridos

apresentaram valores iguais ao sem codificação. Os híbridos apresentaram um menor consumo principalmente por trabalharem com um grupo de m bits, diminuindo assim a quantidade de portas XOR , se comparado à codificação *Gray*.



(a)



(b)

Figura 33: Gráficos Consumo de Potência Total simulado no POPNET, a partir de *flits* gerados em seqüência, de modo a formar uma senóide, com o valor mínimo (a) 0000000000000000hex, (b) FFFFFFFF000000hex.

Fonte: Figura elaborada pelo autor através de resultados obtidos pelo simulador PopNet.

Os gráficos apresentados na Figura 33 mostram que todas as codificações apresentaram valores de consumo de potência abaixo comparado ao sem codificação, sendo que a

codificação *Gray* e *Transition* apresentaram os melhores resultados de redução do consumo. Isto ocorre pelo *Transition* fazer a comparação bit a bit, colocando valor 1 quando existe transição ou 0 quando não existe, enquanto que o *Gray* consegue diminuir em até 50 % uma sequência de valores consecutivos inseridos. Tanto no gráfico A quanto no gráfico B, mostra-se que houve uma redução maior do consumo de potência do *Transition* se comparado ao *Gray*., sendo que o gráfico A apresentou uma redução no *Transition* e *Gray* de 40% e 44.44%, respectivamente, enquanto que no gráfico B, apresentou uma redução de 29% e 43%. Isto se deve pela sequência e pela oscilação repetida dos valores gerados, que possuem um menor número de transições quando se utilizam codificações *Transition* e *Gray*. Os valores de redução de consumo do *Transition* teve uma maior diferença de redução, comparado ao *Gray*, principalmente pela variação entre os *flits* ter aumentado, diminuindo assim o número de transições entre os bits.

No próximo capítulo será visto sobre as principais considerações que foram levantadas neste trabalho.

6 CONSIDERAÇÕES FINAIS

Este trabalho teve o propósito de analisar o comportamento de esquemas de codificação de dados quanto à redução do número de transições dos sinais enviados em uma NoC. Neste trabalho foi utilizado a codificação híbrida $m=2$ e $m=4$ e foi testado com tipos de tráfegos não-reais, mas com tráfegos com diferentes dificuldades para ser analisado o seu consumo.

Foram analisados os esquemas *Gray*, *Transition*, híbrido-2 e híbrido-4, com sinais com *flits* de 64 bits. Os resultados mostram que os esquemas de codificação trabalham de um modo diferenciado, em relação à redução do consumo de potência, se comparado à sem codificação, em alguns casos. Nota-se que o *Transition* apresentou o melhor desempenho quanto a redução do consumo de potência, enquanto que o *Gray*, híbrido-2 e híbrido-4, apresentaram respostas diferenciadas, que variavam entre a redução e a elevação do consumo de potência.

Para valores gerados por números aleatórios, pode se dizer que as codificações não são tão eficientes para a redução. Pode-se dizer que o *Gray*, o híbrido-2 e o híbrido-4 não apresentaram bons resultados quanto à redução do número de transições.

Comparando com os objetivos propostos inicialmente, pode se dizer que foi feita a comparação entre os codificadores híbridos, *Gray* e *Transition*, e este último apresentou a melhor resposta para a redução do número de chaveamento dos transistores.

Como trabalhos futuros, nota-se que foi feita uma análise de redução de consumo com somente quatro esquemas de codificação de dados, o que não pode se dizer com certeza que o *Transition* sempre apresentará uma maior redução do consumo de potência. Então seria adequado colocar outros esquemas de codificações para se fazer uma análise mais adequada para a redução do consumo de potência. Outro trabalho poderá ser a simulação com valores reais, para analisar qual será o comportamento destes esquemas de codificação. Um terceiro trabalho poderá ser a codificação dos *flits* do cabeçalho e do terminador, analisando se poderá

realmente ocorrer uma maior redução do consumo de potência com esquemas de codificação em toda a mensagem.

REFERÊNCIAS

- ALI, M.; WELZL, M.; HELLEBRAND, S. *A dynamic routing Mechanism for Network-on-Chip* in NORCHIP Conference. 23rd volume, Issue, 21-22 Nov. 2005 Page(s): 70-73.
- BANERJEE, N.; VELLANKI, P.; CHATHA, K. *A Power and Performance Model for Networkon- Chip Architectures* in: Design, Automation & Test in Europe (DATE), pp.1250-1255, 2004.
- BECK FILHO, A. C. S. *CACO-PS: um avaliador de potência*. (Relatório de Pesquisa) Porto Alegre: PPGC da UFRGS. 2003.
- BENINI, L., DE MICHELI, G. *Networks on Chips: A New SoC Paradigm*. IEEE Computer, v.35, n.1 (2002) 70–78.
- CALAZANS, N. *Projeto Lógico Automatizado de Sistemas Digitais Seqüenciais*. Rio de Janeiro, DCC/IM, 1998. 318p. Trabalho apresentado na 11^a. Escola de Computação, 1998.
- CHANDRAKASAN, A.; BRODERSEN, R. *Low Power Digital Cmos Design*. Boston: Kluwer Academic Publisher, 1995.
- CHANG, K; SHEN, J.; CHEN, T. *A Low-Power Crossroad Switch Architecture and Its Core Placement for Network-On-Chip* in: International Symposium on Low Power Electronics and Design (ISLPED), pp.375-380, 2005.
- COSTA, E. A. C. da. *Operadores Aritméticos de Baixo Consumo para Arquiteturas de Circuitos DSP*. 2002.(Tese de Doutorado). Programa de Pós- Graduação em Computação. UFRGS, Porto Alegre, RS.
- DALLY, W. J. *Express Cubes: Improving the Performance of k-ary ncube Inteconnection Networks*. IEEE Transactions on Computers, v.40, n.9, p.1016-1023, Sep. 1991.
- EISLEY, N; PEH, L.-S. *High-Level Power Analysis for on-Chip Networks* in: International Conference on Compilers, Architecture and Synthesis for Embedded Systems (CASES), pp. 104-115, 2004.
- GOWAN, M. K.; Biro, L. L.; Jackson, D. B. *Power Considerations in the Design of the Alpha 21264 Microprocessor*. Design Automation Conference, p. 726 – 731, Jun. 1998.
- GREINER, A. *Comment écrire un modèle CASS? Comment le déboguer?: petit manuel a l'usage des debutants*. ver. 0.1. Paris: Université Pierre et Marie Curie, Jan. 2001.

HU, J; MARCULESCU, R. *Energy-aware mapping for tile-based NoC architectures under performance constraints*. In: Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 233-239, 2003.

ITRS: International Technology Roadmap for Semiconductors. Disponível em: <<http://public.itrs.net>> Acesso em: março de 2009.

KIM, C.H.; ROY, K. *Dynamic VTH Scaling Scheme for Active Leakage Power Reduction, Design, Automation and Test* in Europe Conference and Exhibition, Proceedings, Paris – France p. 163 – 167, Mar. 2002.

KIM, N. S.; BLAAUW, D.; MUDGE, T. *Leakage Power Optimization Techniques for Ultra Deep Sub-Micron Multi-Level Caches*, International Conference on Computer Aided Design ICCAD-2003. p. 627 – 632, Nov. 2003.

KIM, J; PARK, D; NICOPOULOS, C; VIJAYKRISHNAN, N; DAS, C. *Design and Analysis of an NoC Architecture from Performance, Reliability and Energy Perspective* in: Symposium On Architecture For Networking And Communications Systems (ANCS), pp.173-182, 2005.

KREUTZ, M. E. *et al. Design Space Exploration Comparing Homogeneous and Heterogeneous Network-on-Chip Architectures* in 18th Symposium on Integrated Circuits and Systems Design. Proceedings. New York: ACM, 2005.

MARCON, C; CALAZANS, N; MORAES, F; SUSIN, A; REIS, I; HESSEL, F. *Exploring NoC Mapping Strategies: An Energy and Timing Aware Technique* in: Design, Automation & Test in Europe (DATE), pp.502-507, 2005.

MARTINS, J.B dos S. *Estimativa de capacidades e consumo de potência em circuitos combinacionais CMOS no nível lógico*. f. 112, 2000. Tese de Doutorado em Computação – Universidade Federal do Rio Grande do Sul, 2000.

MATSUTANI, H; KOIBUCHI, M; WANG, D. *Run-Time Power Gating of On-Chip Routers Using Look-Ahead Routing* in: Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 55-60, 2008.

MEHTA, H.; OWENS, R.; IRWIN, M. *Some Issues in Gray Code Addressing*. GLS-VLSI-96, pp. 178-180, Mar. 1996.

MELLO, A.; MÖLLER, L. *Arquitetura Multiprocessada em SoCs: Estudo de Diferentes Topologias de Interconexão*. Trabalho de Conclusão de Curso, FACIN, PUCRS, Porto Alegre. 2003.

MORAES N, F. *et al. HERMES: na infraestrutura for low área overhead packet-switching networks-on-chip* in The VLSI Journal Integration (VJI), [S.l., v.38, n.1, p. 69-93, Oct. 2004.

PALMA, J.C.S. *Um Estudo Sobre Redes de Conexão Intra-Chip*. (Tese de Doutorado). Programa de Pós-Graduação em Computação, UFRGS, Porto Alegre. 2003.

- PALMA, J. C. S. *Reduzindo o Consumo de Potência em Networks-on-Chip através de Esquemas de Codificação de Dados*. (Tese de Doutorado). Programa de Pós-Graduação em Computação. UFRGS, Porto Alegre. 2007.
- PALMA J; INDRUSIAK, L; MORAES, F; ORTIZ, A; GLESNER, M; REIS, R. *Inserting Data Encoding Techniques into NoC-Based Systems* in: Annual Symposium on VLSI (ISVLSI), 2007, pp. 299-304, 2007.
- PATTERSON, D.; HENNESSY, J. L. *Computer Architecture: A Quantitative Approach*. San Francisco, California : Morgan Kaufmann, 1996.
- PENZES, P. L.; Martin, A. J. *An energy Estimation Method for Asynchronous Circuits with Application to an Asynchronous Microprocessor*, Design, Automation and Test in Europe Conference and Exhibition, Paris, France, p. 640 – 647, March 2002.
- PETROT, F. *et al. Cycle-precise core based hardware/software system simulation with predictable event propagation*, In: Euromicro Conference, 23., 1997. Proceedings. Los Alamitos: IEEE Computer Society, p.182-187.1997.
- PONTES, J; MOREIRA, M; SOARES, R; CALAZANS, N. *Hermes-GLP: A GALS Network on Chip Router with Power Control Techniques* in: Annual Symposium on VLSI (ISVLSI), pp. 347-352, 2008.
- POPPEN, F. *Low Power Design Guide*. Oldenburg: Oldenburger Forschungs-Und Entwicklungsinstitut Fur Informatik-Werkzeuge Und-Systeme-OFFIS, 2000.
- RABAEY, Jan M. *Digital Integrated Circuits – A Design Perspective*, USA, PrenticeHall, 1996.
- RAMOS, P.; OLIVEIRA, A. *Low Overhead Encodings for Reduced Activity in Data and Address Buses*. Em Proceedings of the International Symposium on Signals, Circuits and Systems, pp. 21-24. Julho, 1999.
- REIS, R. A. da L. *Concepção de Circuitos Integrados*. Porto Alegre: Saga Luzzatto, 2000.
- SCHALLER, R. R., *Moore's Law: Past, Present and Future*. IEEE Spectrum, 34 (6): p. 52-59, Jun. 1997.
- SEDRA, A. S., SMITH, K. C., *Microeletrônica*. 5ª edição, São Paulo:Prentice Hall, 2007.
- SIMUNIC, T; STEPHEN, B. *Managing Power Consumption in Networks on Chip* in: Design, Automation & Test in Europe (DATE), pp. 110-116, 2002.
- SRINIVASAN, K; CHATHA, K. *A technique for low energy mapping and routing in networkon- chip architectures* in: International Symposium on Low Power Electronics and Design (ISLPED), pp. 387-392, 2005.
- STAN, M.; BURLESON, W. *Low-Power Encodings for Global Communication in CMOS VLSI*. IEEE Transactions on VLSI Systems, Mar. 1997.

TAMIR, Y.; FRAZIER, G. L. *Dynamically-Allocated Multi-Queue Buffers for VLSI Communication Switches*. IEEE Trans. on Computers, v.41, n.6, Jun. 1992. p.725-737.

WANG, H.-S. ZHU, X., PEH, L.-S., MALIK, S., *Orion: A Power-Performance Simulator for Interconnection Networks*. In Proceedings of MICRO 35, Istanbul, Turkey, Nov. 2002.

WANG, H.-S. ZHU, X., PEH, L.-S., MALIK, S., *Power-driven Design of Router Microarchitectures in On-chip Networks*, In Proceedings of 36th International Symposium on Microarchitecture, 2003.

WEST, N. H. E.; ESHRAGHIAN, K. *Principles of CMOS VLSI Design – A Systems Perspective*. Santa Clara, CA – USA: AT&T, 1994.

ZEFERINO, C. A. : *Redes-em-Chip: Arquiteturas e Modelos para Avaliação de Área e Desempenho*. (Tese de Doutorado) Porto Alegre: PPGC-UFRGS, 2003.

ANEXOS

ANEXO A – TABELAS PARA GERAÇÃO DOS GRÁFICOS

D) Números Aleatórios

a) Valor mínimo 0000000000000000 hex

Sem codificação							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1163,000000	35,253400	12,434500	1,091950	0,006551	1,735780	15,268800
2000,500000	2318,000000	35,620400	12,502200	1,101020	0,006565	1,751400	15,361200
3000,900000	3515,000000	35,544600	12,521000	1,100790	0,006556	1,751690	15,380100
4000,900000	4710,000000	35,441000	12,586900	1,104380	0,006585	1,756880	15,454700
5000,900000	5877,000000	35,460600	12,502400	1,098420	0,006547	1,747830	15,355200
6000,900000	7114,000000	35,517800	12,625700	1,110230	0,006614	1,766760	15,509400
7000,900000	8319,000000	35,659200	12,686900	1,116800	0,006652	1,777160	15,587500
8000,900000	9513,000000	35,554900	12,659800	1,114060	0,006635	1,772830	15,553300
9000,900000	10729,000000	35,599300	12,700400	1,118380	0,006656	1,779740	15,605100
10000,900000	11946,000000	35,556300	12,706500	1,119220	0,006661	1,781140	15,613500
11001,000000	11983,000000	35,578300	11,568700	1,019030	0,006063	1,621840	14,215600
12001,000000	11983,000000	35,578300	10,604700	0,934118	0,005558	1,486700	13,031100
13001,000000	11983,000000	35,578300	9,789030	0,862268	0,005130	1,372350	12,028800
14001,000000	11983,000000	35,578300	9,089860	0,800682	0,004764	1,274330	11,169600
15001,000000	11983,000000	35,578300	8,483910	0,747307	0,004446	1,189380	10,425000
16001,000000	11983,000000	35,578300	7,953700	0,700603	0,004168	1,115050	9,773520
17001,000000	11983,000000	35,578300	7,485860	0,659394	0,003923	1,049460	9,198640
18001,000000	11983,000000	35,578300	7,070000	0,622763	0,003705	0,991160	8,687630
19001,000000	11983,000000	35,578300	6,697920	0,589987	0,003510	0,938997	8,230410
20001,000000	11983,000000	35,578300	6,363040	0,560490	0,003335	0,892049	7,818910

Gray							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1163,000000	35,253400	12,662300	1,102370	0,006551	1,753320	15,524600
2000,500000	2318,000000	35,620400	12,640400	1,110050	0,006565	1,766320	15,523300
3000,900000	3515,000000	35,544600	12,643800	1,111990	0,006556	1,770080	15,532400
4000,900000	4710,000000	35,441000	12,706700	1,116730	0,006585	1,777250	15,607300
5000,900000	5877,000000	35,460600	12,660800	1,111980	0,006547	1,770070	15,549500
6000,900000	7114,000000	35,517800	12,775500	1,123420	0,006614	1,788380	15,693900
7000,900000	8319,000000	35,659200	12,839600	1,129730	0,006652	1,798380	15,774400
8000,900000	9513,000000	35,554900	12,817400	1,127020	0,006635	1,794070	15,745100
9000,900000	10729,000000	35,599300	12,866000	1,131180	0,006656	1,800740	15,804600
10000,900000	11946,000000	35,556300	12,885100	1,132800	0,006661	1,803340	15,827900
11001,000000	11983,000000	35,578300	11,730800	1,031420	0,006063	1,642100	14,410400
12001,000000	11983,000000	35,578300	10,753400	0,945478	0,005558	1,505270	13,209700
13001,000000	11983,000000	35,578300	9,926230	0,872755	0,005130	1,389490	12,193600
14001,000000	11983,000000	35,578300	9,217270	0,810419	0,004764	1,290250	11,322700
15001,000000	11983,000000	35,578300	8,602820	0,756395	0,004446	1,204230	10,567900
16001,000000	11983,000000	35,578300	8,065180	0,709123	0,004168	1,128970	9,907450
17001,000000	11983,000000	35,578300	7,590790	0,667413	0,003923	1,062570	9,324690
18001,000000	11983,000000	35,578300	7,169100	0,630336	0,003705	1,003540	8,806680
19001,000000	11983,000000	35,578300	6,791800	0,597162	0,003510	0,950725	8,343200
20001,000000	11983,000000	35,578300	6,452230	0,567306	0,003335	0,903191	7,926060

Transition							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1163,000000	35,253400	13,207400	1,026980	0,006551	1,635050	15,876000
2000,500000	2318,000000	35,620400	13,200300	1,025870	0,006565	1,634380	15,867100
3000,900000	3515,000000	35,544600	13,228000	1,027670	0,006556	1,637780	15,900000
4000,900000	4710,000000	35,441000	13,286700	1,031690	0,006585	1,643960	15,968900
5000,900000	5877,000000	35,460600	13,193900	1,024040	0,006547	1,632380	15,856900
6000,900000	7114,000000	35,517800	13,325700	1,034860	0,006614	1,649770	16,016900
7000,900000	8319,000000	35,659200	13,385500	1,038910	0,006652	1,656230	16,087300
8000,900000	9513,000000	35,554900	13,357400	1,037170	0,006635	1,653490	16,054700
9000,900000	10729,000000	35,599300	13,406000	1,041940	0,006656	1,661250	16,115800
10000,900000	11946,000000	35,556300	13,407700	1,042670	0,006661	1,662460	16,119500
11001,000000	11983,000000	35,578300	12,207300	0,949305	0,006063	1,513730	14,676400
12001,000000	11983,000000	35,578300	11,190100	0,870203	0,005558	1,387590	13,453500
13001,000000	11983,000000	35,578300	10,329400	0,803270	0,005130	1,280860	12,418700
14001,000000	11983,000000	35,578300	9,591660	0,745897	0,004764	1,189380	11,531700
15001,000000	11983,000000	35,578300	8,952260	0,696174	0,004446	1,110090	10,763000
16001,000000	11983,000000	35,578300	8,392780	0,652666	0,004168	1,040720	10,090300
17001,000000	11983,000000	35,578300	7,899120	0,614276	0,003923	0,979501	9,496820
18001,000000	11983,000000	35,578300	7,460300	0,580152	0,003705	0,925087	8,969240
19001,000000	11983,000000	35,578300	7,067670	0,549619	0,003510	0,876401	8,497200
20001,000000	11983,000000	35,578300	6,714310	0,522139	0,003335	0,832583	8,072370

Hibrido-2							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1163,000000	35,253400	12,441300	1,096610	0,006551	1,743760	15,288200
2000,500000	2318,000000	35,620400	12,508500	1,105030	0,006565	1,758110	15,378200
3000,900000	3515,000000	35,544600	12,528300	1,105820	0,006556	1,759980	15,400600
4000,900000	4710,000000	35,441000	12,595000	1,110550	0,006585	1,767070	15,479200
5000,900000	5877,000000	35,460600	12,510500	1,104770	0,006547	1,758290	15,380100
6000,900000	7114,000000	35,517800	12,634000	1,116550	0,006614	1,777150	15,534300
7000,900000	8319,000000	35,659200	12,695100	1,122880	0,006652	1,787190	15,611800
8000,900000	9513,000000	35,554900	12,667800	1,120150	0,006635	1,782870	15,577500
9000,900000	10729,000000	35,599300	12,708100	1,124110	0,006656	1,789210	15,628000
10000,900000	11946,000000	35,556300	12,714500	1,125330	0,006661	1,791180	15,637700
11001,000000	11983,000000	35,578300	11,576000	1,024630	0,006063	1,631040	14,237700
12001,000000	11983,000000	35,578300	10,611400	0,939251	0,005558	1,495130	13,051300
13001,000000	11983,000000	35,578300	9,795190	0,867006	0,005130	1,380130	12,047500
14001,000000	11983,000000	35,578300	9,095580	0,805082	0,004764	1,281550	11,187000
15001,000000	11983,000000	35,578300	8,489250	0,751413	0,004446	1,196120	10,441200
16001,000000	11983,000000	35,578300	7,958710	0,704453	0,004168	1,121370	9,788700
17001,000000	11983,000000	35,578300	7,490570	0,663017	0,003923	1,055410	9,212930
18001,000000	11983,000000	35,578300	7,074450	0,626185	0,003705	0,996780	8,701130
19001,000000	11983,000000	35,578300	6,702130	0,593229	0,003510	0,944321	8,243200
20001,000000	11983,000000	35,578300	6,367040	0,563569	0,003335	0,897107	7,831060

Híbrido-4							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1163,000000	35,253400	12,444800	1,100060	0,006551	1,749550	15,301000
2000,500000	2318,000000	35,620400	12,512700	1,108870	0,006565	1,764350	15,392500
3000,900000	3515,000000	35,544600	12,533300	1,110210	0,006556	1,767140	15,417200
4000,900000	4710,000000	35,441000	12,600300	1,115140	0,006585	1,774570	15,496600
5000,900000	5877,000000	35,460600	12,515500	1,109260	0,006547	1,765610	15,397000
6000,900000	7114,000000	35,517800	12,639100	1,121070	0,006614	1,784490	15,551300
7000,900000	8319,000000	35,659200	12,700200	1,127400	0,006652	1,794510	15,628800
8000,900000	9513,000000	35,554900	12,673100	1,124800	0,006635	1,790390	15,595000
9000,900000	10729,000000	35,599300	12,713300	1,128770	0,006656	1,796760	15,645500
10000,900000	11946,000000	35,556300	12,719900	1,130080	0,006661	1,798880	15,655500
11001,000000	11983,000000	35,578300	11,580900	1,028940	0,006063	1,638040	14,253900
12001,000000	11983,000000	35,578300	10,615900	0,943205	0,005558	1,501550	13,066200
13001,000000	11983,000000	35,578300	9,799330	0,870657	0,005130	1,386060	12,061200
14001,000000	11983,000000	35,578300	9,099430	0,808471	0,004764	1,287060	11,199700
15001,000000	11983,000000	35,578300	8,492840	0,754577	0,004446	1,201260	10,453100
16001,000000	11983,000000	35,578300	7,962070	0,707419	0,004168	1,126190	9,799840
17001,000000	11983,000000	35,578300	7,493740	0,665808	0,003923	1,059940	9,223420
18001,000000	11983,000000	35,578300	7,077440	0,628821	0,003705	1,001060	8,711030
19001,000000	11983,000000	35,578300	6,704970	0,595727	0,003510	0,948377	8,252580
20001,000000	11983,000000	35,578300	6,369730	0,565942	0,003335	0,900960	7,839970

b) Valor mínimo FFFFFFFFED001

Sem codificação							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1163,000000	35,253400	12,386700	1,089510	0,006551	1,732040	15,214800
2000,500000	2318,000000	35,620400	12,424300	1,096870	0,006565	1,744900	15,272700
3000,900000	3515,000000	35,544600	12,458200	1,097590	0,006556	1,746760	15,309100
4000,900000	4710,000000	35,441000	12,524100	1,101650	0,006585	1,752690	15,385000
5000,900000	5877,000000	35,460600	12,465300	1,096470	0,006547	1,744880	15,313200
6000,900000	7114,000000	35,517800	12,610100	1,108230	0,006614	1,763740	15,488700
7000,900000	8319,000000	35,659200	12,665000	1,114650	0,006652	1,773880	15,560100
8000,900000	9513,000000	35,554900	12,633600	1,111720	0,006635	1,769230	15,521200
9000,900000	10729,000000	35,599300	12,683500	1,116450	0,006656	1,776820	15,583500
10000,900000	11946,000000	35,556300	12,693800	1,117350	0,006661	1,778270	15,596100
11001,000000	11983,000000	35,578300	11,556700	1,017340	0,006063	1,619240	14,199300
12001,000000	11983,000000	35,578300	10,593700	0,932567	0,005558	1,484320	13,016200
13001,000000	11983,000000	35,578300	9,778880	0,860836	0,005130	1,370150	12,015000
14001,000000	11983,000000	35,578300	9,080440	0,799352	0,004764	1,272290	11,156800
15001,000000	11983,000000	35,578300	8,475120	0,746066	0,004446	1,187470	10,413100
16001,000000	11983,000000	35,578300	7,945460	0,699440	0,004168	1,113260	9,762330
17001,000000	11983,000000	35,578300	7,478100	0,658298	0,003923	1,047780	9,188110
18001,000000	11983,000000	35,578300	7,062680	0,621728	0,003705	0,989573	8,677680
19001,000000	11983,000000	35,578300	6,690980	0,589008	0,003510	0,937493	8,220990
20001,000000	11983,000000	35,578300	6,356440	0,559559	0,003335	0,890621	7,809960

Gray							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1163,000000	35,253400	12,594100	1,103890	0,006551	1,755340	15,459900
2000,500000	2318,000000	35,620400	12,603500	1,111300	0,006565	1,767980	15,489300
3000,900000	3515,000000	35,544600	12,621300	1,112430	0,006556	1,770630	15,511000
4000,900000	4710,000000	35,441000	12,695400	1,117110	0,006585	1,777690	15,596700
5000,900000	5877,000000	35,460600	12,636800	1,111810	0,006547	1,769700	15,524900
6000,900000	7114,000000	35,517800	12,761700	1,123950	0,006614	1,789170	15,681400
7000,900000	8319,000000	35,659200	12,818400	1,129690	0,006652	1,798200	15,752900
8000,900000	9513,000000	35,554900	12,794000	1,126710	0,006635	1,793470	15,720900
9000,900000	10729,000000	35,599300	12,847400	1,131040	0,006656	1,800460	15,785600
10000,900000	11946,000000	35,556300	12,863600	1,132220	0,006661	1,802360	15,804800
11001,000000	11983,000000	35,578300	11,711800	1,030880	0,006063	1,641200	14,389900
12001,000000	11983,000000	35,578300	10,735900	0,944984	0,005558	1,504440	13,190800
13001,000000	11983,000000	35,578300	9,910090	0,872298	0,005130	1,388720	12,176200
14001,000000	11983,000000	35,578300	9,202280	0,809996	0,004764	1,289540	11,306600
15001,000000	11983,000000	35,578300	8,588830	0,756000	0,004446	1,203570	10,552900
16001,000000	11983,000000	35,578300	8,052060	0,708753	0,004168	1,128350	9,893340
17001,000000	11983,000000	35,578300	7,578440	0,667064	0,003923	1,061980	9,311410
18001,000000	11983,000000	35,578300	7,157440	0,630007	0,003705	1,002990	8,794140
19001,000000	11983,000000	35,578300	6,780750	0,596850	0,003510	0,950203	8,331310
20001,000000	11983,000000	35,578300	6,441730	0,567009	0,003335	0,902695	7,914770

Transition							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1163,000000	35,253400	13,118700	1,024270	0,006551	1,631050	15,780500
2000,500000	2318,000000	35,620400	13,143000	1,025940	0,006565	1,634660	15,810200
3000,900000	3515,000000	35,544600	13,177400	1,027960	0,006556	1,638370	15,850300
4000,900000	4710,000000	35,441000	13,244500	1,032600	0,006585	1,645330	15,929000
5000,900000	5877,000000	35,460600	13,168900	1,025620	0,006547	1,634880	15,835900
6000,900000	7114,000000	35,517800	13,310700	1,036250	0,006614	1,651890	16,005400
7000,900000	8319,000000	35,659200	13,373400	1,040490	0,006652	1,658710	16,079200
8000,900000	9513,000000	35,554900	13,341000	1,038520	0,006635	1,655610	16,041800
9000,900000	10729,000000	35,599300	13,394600	1,043640	0,006656	1,663950	16,108900
10000,900000	11946,000000	35,556300	13,399600	1,044410	0,006661	1,665230	16,115900
11001,000000	11983,000000	35,578300	12,199800	0,950871	0,006063	1,516220	14,672900
12001,000000	11983,000000	35,578300	11,183200	0,871638	0,005558	1,389880	13,450300
13001,000000	11983,000000	35,578300	10,323000	0,804594	0,005130	1,282970	12,415700
14001,000000	11983,000000	35,578300	9,585720	0,747127	0,004764	1,191340	11,529000
15001,000000	11983,000000	35,578300	8,946710	0,697322	0,004446	1,111920	10,760400
16001,000000	11983,000000	35,578300	8,387580	0,653742	0,004168	1,042430	10,087900
17001,000000	11983,000000	35,578300	7,894220	0,615289	0,003923	0,981116	9,494550
18001,000000	11983,000000	35,578300	7,455680	0,581108	0,003705	0,926612	8,967100
19001,000000	11983,000000	35,578300	7,063290	0,550525	0,003510	0,877846	8,495180
20001,000000	11983,000000	35,578300	6,710150	0,523000	0,003335	0,833956	8,070440

Hibrido-2							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1163,000000	35,253400	12,393400	1,096190	0,006551	1,743000	15,239100
2000,500000	2318,000000	35,620400	12,431600	1,104370	0,006565	1,756950	15,299500
3000,900000	3515,000000	35,544600	12,465000	1,104580	0,006556	1,758120	15,334300
4000,900000	4710,000000	35,441000	12,531900	1,109030	0,006585	1,764700	15,412200
5000,900000	5877,000000	35,460600	12,472900	1,103910	0,006547	1,756980	15,340300
6000,900000	7114,000000	35,517800	12,618000	1,115990	0,006614	1,776360	15,517000
7000,900000	8319,000000	35,659200	12,672100	1,121550	0,006652	1,785110	15,585500
8000,900000	9513,000000	35,554900	12,641000	1,118830	0,006635	1,780790	15,547300
9000,900000	10729,000000	35,599300	12,690700	1,123300	0,006656	1,787960	15,608700
10000,900000	11946,000000	35,556300	12,701300	1,124570	0,006661	1,790000	15,622500
11001,000000	11983,000000	35,578300	11,563500	1,023910	0,006063	1,629930	14,223400
12001,000000	11983,000000	35,578300	10,600000	0,938595	0,005558	1,494110	13,038300
13001,000000	11983,000000	35,578300	9,784670	0,866401	0,005130	1,379190	12,035400
14001,000000	11983,000000	35,578300	9,085820	0,804520	0,004764	1,280680	11,175800
15001,000000	11983,000000	35,578300	8,480140	0,750889	0,004446	1,195310	10,430800
16001,000000	11983,000000	35,578300	7,950160	0,703961	0,004168	1,120610	9,778900
17001,000000	11983,000000	35,578300	7,482530	0,662554	0,003923	1,054690	9,203700
18001,000000	11983,000000	35,578300	7,066860	0,625748	0,003705	0,996101	8,692410
19001,000000	11983,000000	35,578300	6,694940	0,592815	0,003510	0,943677	8,234940
20001,000000	11983,000000	35,578300	6,360210	0,563176	0,003335	0,896496	7,823220

Hibrido-4							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1163,000000	35,253400	12,399000	1,100840	0,006551	1,750530	15,256900
2000,500000	2318,000000	35,620400	12,437200	1,109310	0,006565	1,764900	15,318000
3000,900000	3515,000000	35,544600	12,470700	1,109480	0,006556	1,765980	15,352800
4000,900000	4710,000000	35,441000	12,537900	1,114150	0,006585	1,772950	15,431500
5000,900000	5877,000000	35,460600	12,478700	1,108890	0,006547	1,765010	15,359200
6000,900000	7114,000000	35,517800	12,623900	1,121100	0,006614	1,784580	15,536200
7000,900000	8319,000000	35,659200	12,678000	1,126860	0,006652	1,793620	15,605200
8000,900000	9513,000000	35,554900	12,646700	1,123830	0,006635	1,788820	15,566000
9000,900000	10729,000000	35,599300	12,696300	1,128270	0,006656	1,795980	15,627200
10000,900000	11946,000000	35,556300	12,706700	1,129420	0,006661	1,797830	15,640600
11001,000000	11983,000000	35,578300	11,568500	1,028320	0,006063	1,637050	14,239900
12001,000000	11983,000000	35,578300	10,604500	0,942638	0,005558	1,500640	13,053300
13001,000000	11983,000000	35,578300	9,788840	0,870133	0,005130	1,385220	12,049300
14001,000000	11983,000000	35,578300	9,089680	0,807985	0,004764	1,286280	11,188700
15001,000000	11983,000000	35,578300	8,483750	0,754123	0,004446	1,200540	10,442900
16001,000000	11983,000000	35,578300	7,953550	0,706993	0,004168	1,125510	9,790210
17001,000000	11983,000000	35,578300	7,485720	0,665408	0,003923	1,059300	9,214350
18001,000000	11983,000000	35,578300	7,069870	0,628443	0,003705	1,000460	8,702470
19001,000000	11983,000000	35,578300	6,697790	0,595369	0,003510	0,947805	8,244470
20001,000000	11983,000000	35,578300	6,362920	0,565602	0,003335	0,900417	7,832270

II) Rampa

a) Valor mínimo 0000000000000000 hex

Sem codificação							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	12,411200	1,083680	0,006570	1,726110	15,227600
2000,500000	2317,000000	35,583200	12,431000	1,087480	0,006587	1,732940	15,258000
3000,900000	3516,000000	35,521300	12,451800	1,088250	0,006579	1,734820	15,281400
4000,900000	4711,000000	35,428100	12,523500	1,093180	0,006611	1,742350	15,365600
5000,900000	5876,000000	35,447200	12,467200	1,087340	0,006571	1,733600	15,294700
6000,900000	7115,000000	35,509100	12,827200	1,098990	0,006635	1,752370	15,685200
7000,900000	8319,000000	35,652600	13,068900	1,105430	0,006669	1,762650	15,943700
8000,900000	9513,000000	35,544700	13,165400	1,102620	0,006650	1,758140	16,032800
9000,900000	10731,000000	35,593600	13,311300	1,106560	0,006670	1,764540	16,189100
10000,900000	11945,000000	35,552700	13,402200	1,107170	0,006674	1,765580	16,281600
11001,000000	11983,000000	35,575100	12,203600	1,008060	0,006074	1,607670	14,825400
12001,000000	11983,000000	35,575100	11,186700	0,924058	0,005568	1,473710	13,590100
13001,000000	11983,000000	35,575100	10,326300	0,852982	0,005140	1,360350	12,544800
14001,000000	11983,000000	35,575100	9,588750	0,792059	0,004773	1,263190	11,648800
15001,000000	11983,000000	35,575100	8,949540	0,739259	0,004455	1,178990	10,872200
16001,000000	11983,000000	35,575100	8,390230	0,693058	0,004176	1,105300	10,192800
17001,000000	11983,000000	35,575100	7,896720	0,652292	0,003931	1,040290	9,593230
18001,000000	11983,000000	35,575100	7,458030	0,616056	0,003712	0,982499	9,060300
19001,000000	11983,000000	35,575100	7,065530	0,583633	0,003517	0,930791	8,583470
20001,000000	11983,000000	35,575100	6,712270	0,554453	0,003341	0,884254	8,154320

Gray							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	13,583500	1,047510	0,006570	1,667800	16,305400
2000,500000	2317,000000	35,583200	13,631000	1,051820	0,006587	1,675720	16,365200
3000,900000	3516,000000	35,521300	13,656100	1,053080	0,006579	1,678460	16,394200
4000,900000	4711,000000	35,428100	13,730100	1,057760	0,006611	1,685630	16,480100
5000,900000	5876,000000	35,447200	13,658500	1,052050	0,006571	1,677030	16,394200
6000,900000	7115,000000	35,509100	14,032200	1,063410	0,006635	1,695300	16,797500
7000,900000	8319,000000	35,652600	14,285500	1,069730	0,006669	1,705400	17,067300
8000,900000	9513,000000	35,544700	14,380000	1,067060	0,006650	1,701160	17,154900
9000,900000	10731,000000	35,593600	14,528700	1,070810	0,006670	1,707190	17,313400
10000,900000	11945,000000	35,552700	14,618100	1,071440	0,006674	1,708210	17,404400
11001,000000	11983,000000	35,575100	13,309300	0,975524	0,006074	1,555420	15,846300
12001,000000	11983,000000	35,575100	12,200200	0,894237	0,005568	1,425820	14,525900
13001,000000	11983,000000	35,575100	11,261800	0,825455	0,005140	1,316150	13,408600
14001,000000	11983,000000	35,575100	10,457500	0,766498	0,004773	1,222140	12,450900
15001,000000	11983,000000	35,575100	9,760350	0,715402	0,004455	1,140670	11,620900
16001,000000	11983,000000	35,575100	9,150370	0,670692	0,004176	1,069380	10,894600
17001,000000	11983,000000	35,575100	8,612150	0,631242	0,003931	1,006480	10,253800
18001,000000	11983,000000	35,575100	8,133720	0,596175	0,003712	0,950570	9,684180
19001,000000	11983,000000	35,575100	7,705650	0,564799	0,003517	0,900543	9,174510
20001,000000	11983,000000	35,575100	7,320390	0,536560	0,003341	0,855518	8,715810

Transition							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	10,662800	0,965654	0,006570	1,532210	13,167200
2000,500000	2317,000000	35,583200	10,695800	0,968436	0,006587	1,538120	13,208900
3000,900000	3516,000000	35,521300	10,699000	0,968762	0,006579	1,539420	13,213800
4000,900000	4711,000000	35,428100	10,744400	0,972198	0,006611	1,544620	13,267800
5000,900000	5876,000000	35,447200	10,690500	0,967238	0,006571	1,537340	13,201600
6000,900000	7115,000000	35,509100	10,799000	0,977553	0,006635	1,553820	13,337000
7000,900000	8319,000000	35,652600	10,857600	0,983212	0,006669	1,562690	13,410200
8000,900000	9513,000000	35,544700	10,836900	0,980806	0,006650	1,558940	13,383300
9000,900000	10731,000000	35,593600	10,874800	0,984402	0,006670	1,564730	13,430700
10000,900000	11945,000000	35,552700	10,884100	0,985155	0,006674	1,565970	13,441900
11001,000000	11983,000000	35,575100	9,909440	0,896995	0,006074	1,425970	12,238500
12001,000000	11983,000000	35,575100	9,083720	0,822251	0,005568	1,307150	11,218700
13001,000000	11983,000000	35,575100	8,385030	0,759006	0,005140	1,206610	10,355800
14001,000000	11983,000000	35,575100	7,786140	0,704795	0,004773	1,120430	9,616130
15001,000000	11983,000000	35,575100	7,267100	0,657812	0,004455	1,045740	8,975100
16001,000000	11983,000000	35,575100	6,812930	0,616701	0,004176	0,980381	8,414190
17001,000000	11983,000000	35,575100	6,412190	0,580427	0,003931	0,922715	7,919270
18001,000000	11983,000000	35,575100	6,055980	0,548183	0,003712	0,871456	7,479330
19001,000000	11983,000000	35,575100	5,737260	0,519333	0,003517	0,825592	7,085700
20001,000000	11983,000000	35,575100	5,450410	0,493367	0,003341	0,784314	6,731440

Hibrido-2							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	12,400200	1,065980	0,006570	1,697850	15,170600
2000,500000	2317,000000	35,583200	12,424100	1,070040	0,006587	1,704990	15,205700
3000,900000	3516,000000	35,521300	12,441000	1,071300	0,006579	1,707810	15,226700
4000,900000	4711,000000	35,428100	12,512200	1,076070	0,006611	1,714960	15,309800
5000,900000	5876,000000	35,447200	12,456000	1,070720	0,006571	1,706950	15,240200
6000,900000	7115,000000	35,509100	12,819400	1,082410	0,006635	1,725760	15,634200
7000,900000	8319,000000	35,652600	13,065500	1,088780	0,006669	1,735920	15,896900
8000,900000	9513,000000	35,544700	13,160400	1,086000	0,006650	1,731480	15,984500
9000,900000	10731,000000	35,593600	13,302500	1,089840	0,006670	1,737670	16,136700
10000,900000	11945,000000	35,552700	13,390300	1,090510	0,006674	1,738790	16,226300
11001,000000	11983,000000	35,575100	12,192700	0,992885	0,006074	1,583270	14,774900
12001,000000	11983,000000	35,575100	11,176700	0,910151	0,005568	1,451340	13,543800
13001,000000	11983,000000	35,575100	10,317000	0,840145	0,005140	1,339710	12,502000
14001,000000	11983,000000	35,575100	9,580140	0,780139	0,004773	1,244020	11,609100
15001,000000	11983,000000	35,575100	8,941510	0,728133	0,004455	1,161090	10,835200
16001,000000	11983,000000	35,575100	8,382700	0,682628	0,004176	1,088530	10,158000
17001,000000	11983,000000	35,575100	7,889630	0,642475	0,003931	1,024500	9,560530
18001,000000	11983,000000	35,575100	7,451340	0,606784	0,003712	0,967587	9,029420
19001,000000	11983,000000	35,575100	7,059180	0,574850	0,003517	0,916664	8,554220
20001,000000	11983,000000	35,575100	6,706240	0,546109	0,003341	0,870833	8,126530

Híbrido-4							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	12,398000	1,060070	0,006570	1,688330	15,153000
2000,500000	2317,000000	35,583200	12,421600	1,063980	0,006587	1,695320	15,187400
3000,900000	3516,000000	35,521300	12,441000	1,064940	0,006579	1,697560	15,210100
4000,900000	4711,000000	35,428100	12,514500	1,069680	0,006611	1,704710	15,295500
5000,900000	5876,000000	35,447200	12,453900	1,064190	0,006571	1,696470	15,221100
6000,900000	7115,000000	35,509100	12,816600	1,075750	0,006635	1,715070	15,614100
7000,900000	8319,000000	35,652600	13,062800	1,082160	0,006669	1,725250	15,876900
8000,900000	9513,000000	35,544700	13,158700	1,079450	0,006650	1,720930	15,965700
9000,900000	10731,000000	35,593600	13,302000	1,083310	0,006670	1,727120	16,119100
10000,900000	11945,000000	35,552700	13,387700	1,083980	0,006674	1,728230	16,206600
11001,000000	11983,000000	35,575100	12,190200	0,986939	0,006074	1,573660	14,756800
12001,000000	11983,000000	35,575100	11,174400	0,904701	0,005568	1,442530	13,527200
13001,000000	11983,000000	35,575100	10,314900	0,835114	0,005140	1,331570	12,486700
14001,000000	11983,000000	35,575100	9,578180	0,775467	0,004773	1,236470	11,594900
15001,000000	11983,000000	35,575100	8,939680	0,723773	0,004455	1,154040	10,821900
16001,000000	11983,000000	35,575100	8,380980	0,678540	0,004176	1,081920	10,145600
17001,000000	11983,000000	35,575100	7,888010	0,638628	0,003931	1,018280	9,548850
18001,000000	11983,000000	35,575100	7,449820	0,603151	0,003712	0,961712	9,018390
19001,000000	11983,000000	35,575100	7,057740	0,571407	0,003517	0,911098	8,543760
20001,000000	11983,000000	35,575100	6,704870	0,542839	0,003341	0,865546	8,116600

b) Valor mínimo FFFFFFFF184 hex

Sem codificação							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	12,411200	1,083680	0,006570	1,726110	15,227600
2000,500000	2317,000000	35,583200	12,431000	1,087480	0,006587	1,732940	15,258000
3000,900000	3516,000000	35,521300	12,451800	1,088250	0,006579	1,734820	15,281400
4000,900000	4711,000000	35,428100	12,523500	1,093180	0,006611	1,742350	15,365600
5000,900000	5876,000000	35,447200	12,467200	1,087340	0,006571	1,733600	15,294700
6000,900000	7115,000000	35,509100	12,827200	1,098990	0,006635	1,752370	15,685200
7000,900000	8319,000000	35,652600	13,068900	1,105430	0,006669	1,762650	15,943700
8000,900000	9513,000000	35,544700	13,165400	1,102620	0,006650	1,758140	16,032800
9000,900000	10731,000000	35,593600	13,311300	1,106560	0,006670	1,764540	16,189100
10000,900000	11945,000000	35,552700	13,402200	1,107170	0,006674	1,765580	16,281600
11001,000000	11983,000000	35,575100	12,203600	1,008060	0,006074	1,607670	14,825400
12001,000000	11983,000000	35,575100	11,186700	0,924058	0,005568	1,473710	13,590100
13001,000000	11983,000000	35,575100	10,326300	0,852982	0,005140	1,360350	12,544800
14001,000000	11983,000000	35,575100	9,588750	0,792059	0,004773	1,263190	11,648800
15001,000000	11983,000000	35,575100	8,949540	0,739259	0,004455	1,178990	10,872200
16001,000000	11983,000000	35,575100	8,390230	0,693058	0,004176	1,105300	10,192800
17001,000000	11983,000000	35,575100	7,896720	0,652292	0,003931	1,040290	9,593230
18001,000000	11983,000000	35,575100	7,458030	0,616056	0,003712	0,982499	9,060300
19001,000000	11983,000000	35,575100	7,065530	0,583633	0,003517	0,930791	8,583470
20001,000000	11983,000000	35,575100	6,712270	0,554453	0,003341	0,884254	8,154320

Gray							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	13,583500	1,047510	0,006570	1,667800	16,305400
2000,500000	2317,000000	35,583200	13,631000	1,051820	0,006587	1,675720	16,365200
3000,900000	3516,000000	35,521300	13,656100	1,053080	0,006579	1,678460	16,394200
4000,900000	4711,000000	35,428100	13,730100	1,057760	0,006611	1,685630	16,480100
5000,900000	5876,000000	35,447200	13,658500	1,052050	0,006571	1,677030	16,394200
6000,900000	7115,000000	35,509100	14,032200	1,063410	0,006635	1,695300	16,797500
7000,900000	8319,000000	35,652600	14,285500	1,069730	0,006669	1,705400	17,067300
8000,900000	9513,000000	35,544700	14,380000	1,067060	0,006650	1,701160	17,154900
9000,900000	10731,000000	35,593600	14,528700	1,070810	0,006670	1,707190	17,313400
10000,900000	11945,000000	35,552700	14,618100	1,071440	0,006674	1,708210	17,404400
11001,000000	11983,000000	35,575100	13,309300	0,975524	0,006074	1,555420	15,846300
12001,000000	11983,000000	35,575100	12,200200	0,894237	0,005568	1,425820	14,525900
13001,000000	11983,000000	35,575100	11,261800	0,825455	0,005140	1,316150	13,408600
14001,000000	11983,000000	35,575100	10,457500	0,766498	0,004773	1,222140	12,450900
15001,000000	11983,000000	35,575100	9,760350	0,715402	0,004455	1,140670	11,620900
16001,000000	11983,000000	35,575100	9,150370	0,670692	0,004176	1,069380	10,894600
17001,000000	11983,000000	35,575100	8,612150	0,631242	0,003931	1,006480	10,253800
18001,000000	11983,000000	35,575100	8,133720	0,596175	0,003712	0,950570	9,684180
19001,000000	11983,000000	35,575100	7,705650	0,564799	0,003517	0,900543	9,174510
20001,000000	11983,000000	35,575100	7,320390	0,536560	0,003341	0,855518	8,715810

Transition							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	10,662800	0,965654	0,006570	1,532210	13,167200
2000,500000	2317,000000	35,583200	10,695800	0,968436	0,006587	1,538120	13,208900
3000,900000	3516,000000	35,521300	10,699000	0,968762	0,006579	1,539420	13,213800
4000,900000	4711,000000	35,428100	10,744400	0,972198	0,006611	1,544620	13,267800
5000,900000	5876,000000	35,447200	10,690500	0,967238	0,006571	1,537340	13,201600
6000,900000	7115,000000	35,509100	10,799000	0,977553	0,006635	1,553820	13,337000
7000,900000	8319,000000	35,652600	10,857600	0,983212	0,006669	1,562690	13,410200
8000,900000	9513,000000	35,544700	10,836900	0,980806	0,006650	1,558940	13,383300
9000,900000	10731,000000	35,593600	10,874800	0,984402	0,006670	1,564730	13,430700
10000,900000	11945,000000	35,552700	10,884100	0,985155	0,006674	1,565970	13,441900
11001,000000	11983,000000	35,575100	9,909440	0,896995	0,006074	1,425970	12,238500
12001,000000	11983,000000	35,575100	9,083720	0,822251	0,005568	1,307150	11,218700
13001,000000	11983,000000	35,575100	8,385030	0,759006	0,005140	1,206610	10,355800
14001,000000	11983,000000	35,575100	7,786140	0,704795	0,004773	1,120430	9,616130
15001,000000	11983,000000	35,575100	7,267100	0,657812	0,004455	1,045740	8,975100
16001,000000	11983,000000	35,575100	6,812930	0,616701	0,004176	0,980381	8,414190
17001,000000	11983,000000	35,575100	6,412190	0,580427	0,003931	0,922715	7,919270
18001,000000	11983,000000	35,575100	6,055980	0,548183	0,003712	0,871456	7,479330
19001,000000	11983,000000	35,575100	5,737260	0,519333	0,003517	0,825592	7,085700
20001,000000	11983,000000	35,575100	5,450410	0,493367	0,003341	0,784314	6,731440

Híbrido-2							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	12,400200	1,065980	0,006570	1,697850	15,170600
2000,500000	2317,000000	35,583200	12,424100	1,070040	0,006587	1,704990	15,205700
3000,900000	3516,000000	35,521300	12,441000	1,071300	0,006579	1,707810	15,226700
4000,900000	4711,000000	35,428100	12,512200	1,076070	0,006611	1,714960	15,309800
5000,900000	5876,000000	35,447200	12,456000	1,070720	0,006571	1,706950	15,240200
6000,900000	7115,000000	35,509100	12,819400	1,082410	0,006635	1,725760	15,634200
7000,900000	8319,000000	35,652600	13,065500	1,088780	0,006669	1,735920	15,896900
8000,900000	9513,000000	35,544700	13,160400	1,086000	0,006650	1,731480	15,984500
9000,900000	10731,000000	35,593600	13,302500	1,089840	0,006670	1,737670	16,136700
10000,900000	11945,000000	35,552700	13,390300	1,090510	0,006674	1,738790	16,226300
11001,000000	11983,000000	35,575100	12,192700	0,992885	0,006074	1,583270	14,774900
12001,000000	11983,000000	35,575100	11,176700	0,910151	0,005568	1,451340	13,543800
13001,000000	11983,000000	35,575100	10,317000	0,840145	0,005140	1,339710	12,502000
14001,000000	11983,000000	35,575100	9,580140	0,780139	0,004773	1,244020	11,609100
15001,000000	11983,000000	35,575100	8,941510	0,728133	0,004455	1,161090	10,835200
16001,000000	11983,000000	35,575100	8,382700	0,682628	0,004176	1,088530	10,158000
17001,000000	11983,000000	35,575100	7,889630	0,642475	0,003931	1,024500	9,560530
18001,000000	11983,000000	35,575100	7,451340	0,606784	0,003712	0,967587	9,029420
19001,000000	11983,000000	35,575100	7,059180	0,574850	0,003517	0,916664	8,554220
20001,000000	11983,000000	35,575100	6,706240	0,546109	0,003341	0,870833	8,126530

Híbrido-4							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	12,398000	1,060070	0,006570	1,688330	15,153000
2000,500000	2317,000000	35,583200	12,421600	1,063980	0,006587	1,695320	15,187400
3000,900000	3516,000000	35,521300	12,441000	1,064940	0,006579	1,697560	15,210100
4000,900000	4711,000000	35,428100	12,514500	1,069680	0,006611	1,704710	15,295500
5000,900000	5876,000000	35,447200	12,453900	1,064190	0,006571	1,696470	15,221100
6000,900000	7115,000000	35,509100	12,816600	1,075750	0,006635	1,715070	15,614100
7000,900000	8319,000000	35,652600	13,062800	1,082160	0,006669	1,725250	15,876900
8000,900000	9513,000000	35,544700	13,158700	1,079450	0,006650	1,720930	15,965700
9000,900000	10731,000000	35,593600	13,302000	1,083310	0,006670	1,727120	16,119100
10000,900000	11945,000000	35,552700	13,387700	1,083980	0,006674	1,728230	16,206600
11001,000000	11983,000000	35,575100	12,190200	0,986939	0,006074	1,573660	14,756800
12001,000000	11983,000000	35,575100	11,174400	0,904701	0,005568	1,442530	13,527200
13001,000000	11983,000000	35,575100	10,314900	0,835114	0,005140	1,331570	12,486700
14001,000000	11983,000000	35,575100	9,578180	0,775467	0,004773	1,236470	11,594900
15001,000000	11983,000000	35,575100	8,939680	0,723773	0,004455	1,154040	10,821900
16001,000000	11983,000000	35,575100	8,380980	0,678540	0,004176	1,081920	10,145600
17001,000000	11983,000000	35,575100	7,888010	0,638628	0,003931	1,018280	9,548850
18001,000000	11983,000000	35,575100	7,449820	0,603151	0,003712	0,961712	9,018390
19001,000000	11983,000000	35,575100	7,057740	0,571407	0,003517	0,911098	8,543760
20001,000000	11983,000000	35,575100	6,704870	0,542839	0,003341	0,865546	8,116600

III) SENÓIDE

a) Valor mínimo 0000000000000000 hex

Sem codificação							
	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
	1164,000000	35,178100	13,655100	0,481224	0,006552	0,755871	14,898800
	2317,000000	35,583200	13,671400	0,478008	0,006566	0,752274	14,908300
	3516,000000	35,521300	13,689200	0,476558	0,006557	0,750756	14,923000
	4711,000000	35,428100	13,748900	0,478071	0,006588	0,753120	14,986700
	5876,000000	35,447200	13,680100	0,475057	0,006548	0,748782	14,910500
	7115,000000	35,509100	13,825200	0,480148	0,006615	0,756985	15,069000
	8319,000000	35,652600	13,895200	0,482751	0,006652	0,761150	15,145700
	9513,000000	35,544700	13,864700	0,481208	0,006635	0,758686	15,111300
	10731,000000	35,593600	13,915200	0,482853	0,006657	0,761357	15,166100
	11945,000000	35,552700	13,925400	0,482992	0,006662	0,761669	15,176700
	11983,000000	35,575100	12,679400	0,439755	0,006064	0,693547	13,818700
	11983,000000	35,575100	11,622800	0,403112	0,005558	0,635756	12,667300
	11983,000000	35,575100	10,728800	0,372106	0,005131	0,586856	11,692900
	11983,000000	35,575100	9,962550	0,345529	0,004764	0,544940	10,857800
	11983,000000	35,575100	9,298420	0,322495	0,004447	0,508613	10,134000
	11983,000000	35,575100	8,717310	0,302340	0,004169	0,476827	9,500640
	11983,000000	35,575100	8,204550	0,284557	0,003924	0,448780	8,941810
	11983,000000	35,575100	7,748770	0,268749	0,003706	0,423849	8,445070
	11983,000000	35,575100	7,340960	0,254605	0,003511	0,401542	8,000620
	11983,000000	35,575100	6,973930	0,241875	0,003335	0,381466	7,600610

Gray							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	7,650560	0,463778	0,006552	0,729993	8,850880
2000,500000	2317,000000	35,583200	7,679440	0,466453	0,006566	0,734881	8,887340
3000,900000	3516,000000	35,521300	7,700510	0,466783	0,006557	0,735847	8,909700
4000,900000	4711,000000	35,428100	7,739510	0,469178	0,006588	0,739487	8,954770
5000,900000	5876,000000	35,447200	7,700120	0,466905	0,006548	0,736232	8,909800
6000,900000	7115,000000	35,509100	7,783560	0,472080	0,006615	0,744492	9,006740
7000,900000	8319,000000	35,652600	7,820120	0,474586	0,006652	0,748452	9,049810
8000,900000	9513,000000	35,544700	7,805620	0,473372	0,006635	0,746552	9,032180
9000,900000	10731,000000	35,593600	7,832480	0,475173	0,006657	0,749453	9,063760
10000,900000	11945,000000	35,552700	7,836780	0,475462	0,006662	0,749943	9,068850
11001,000000	11983,000000	35,575100	7,135010	0,432910	0,006064	0,682889	8,256870
12001,000000	11983,000000	35,575100	6,540470	0,396837	0,005558	0,625987	7,568850
13001,000000	11983,000000	35,575100	6,037400	0,366314	0,005131	0,577838	6,986680
14001,000000	11983,000000	35,575100	5,606190	0,340150	0,004764	0,536566	6,487670
15001,000000	11983,000000	35,575100	5,232470	0,317475	0,004447	0,500798	6,055180
16001,000000	11983,000000	35,575100	4,905460	0,297634	0,004169	0,469500	5,676760
17001,000000	11983,000000	35,575100	4,616920	0,280127	0,003924	0,441884	5,342850
18001,000000	11983,000000	35,575100	4,360440	0,264565	0,003706	0,417336	5,046040
19001,000000	11983,000000	35,575100	4,130950	0,250642	0,003511	0,395372	4,780480
20001,000000	11983,000000	35,575100	3,924410	0,238110	0,003335	0,375605	4,541460

Transition							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	7,183600	0,465065	0,006552	0,731333	8,386550
2000,500000	2317,000000	35,583200	7,206640	0,467736	0,006566	0,735904	8,416840
3000,900000	3516,000000	35,521300	7,219400	0,468804	0,006557	0,738154	8,432910
4000,900000	4711,000000	35,428100	7,248530	0,471140	0,006588	0,741721	8,467980
5000,900000	5876,000000	35,447200	7,216040	0,468999	0,006548	0,738654	8,430240
6000,900000	7115,000000	35,509100	7,292480	0,474356	0,006615	0,747203	8,520650
7000,900000	8319,000000	35,652600	7,330070	0,477211	0,006652	0,751648	8,565580
8000,900000	9513,000000	35,544700	7,316220	0,475870	0,006635	0,749536	8,548270
9000,900000	10731,000000	35,593600	7,341610	0,477474	0,006657	0,752126	8,577870
10000,900000	11945,000000	35,552700	7,348510	0,477871	0,006662	0,752810	8,585860
11001,000000	11983,000000	35,575100	6,690260	0,435079	0,006064	0,685458	7,816860
12001,000000	11983,000000	35,575100	6,132790	0,398825	0,005558	0,628342	7,165510
13001,000000	11983,000000	35,575100	5,661070	0,368149	0,005131	0,580011	6,614360
14001,000000	11983,000000	35,575100	5,256740	0,341854	0,004764	0,538585	6,141940
15001,000000	11983,000000	35,575100	4,906310	0,319066	0,004447	0,502682	5,732500
16001,000000	11983,000000	35,575100	4,599680	0,299125	0,004169	0,471266	5,374240
17001,000000	11983,000000	35,575100	4,329130	0,281531	0,003924	0,443546	5,058130
18001,000000	11983,000000	35,575100	4,088640	0,265891	0,003706	0,418906	4,777140
19001,000000	11983,000000	35,575100	3,873460	0,251897	0,003511	0,396859	4,525720
20001,000000	11983,000000	35,575100	3,679790	0,239303	0,003335	0,377017	4,299450

Hibrido-2							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	13,311800	0,495720	0,006552	0,780196	14,594300
2000,500000	2317,000000	35,583200	13,327700	0,495105	0,006566	0,780127	14,609500
3000,900000	3516,000000	35,521300	13,345100	0,494359	0,006557	0,779552	14,625500
4000,900000	4711,000000	35,428100	13,403600	0,496304	0,006588	0,782520	14,689000
5000,900000	5876,000000	35,447200	13,337000	0,493684	0,006548	0,778761	14,616000
6000,900000	7115,000000	35,509100	13,478700	0,499193	0,006615	0,787608	14,772100
7000,900000	8319,000000	35,652600	13,546500	0,501766	0,006652	0,791720	14,846600
8000,900000	9513,000000	35,544700	13,516900	0,500449	0,006635	0,789659	14,813600
9000,900000	10731,000000	35,593600	13,566300	0,502347	0,006657	0,792738	14,868000
10000,900000	11945,000000	35,552700	13,576200	0,502549	0,006662	0,793121	14,878500
11001,000000	11983,000000	35,575100	12,361400	0,457569	0,006064	0,722199	13,547200
12001,000000	11983,000000	35,575100	11,331300	0,419441	0,005558	0,662021	12,418400
13001,000000	11983,000000	35,575100	10,459800	0,387179	0,005131	0,611100	11,463200
14001,000000	11983,000000	35,575100	9,712690	0,359525	0,004764	0,567453	10,644400
15001,000000	11983,000000	35,575100	9,065220	0,335559	0,004447	0,529626	9,934860
16001,000000	11983,000000	35,575100	8,498680	0,314588	0,004169	0,496526	9,313970
17001,000000	11983,000000	35,575100	7,998790	0,296084	0,003924	0,467320	8,766120
18001,000000	11983,000000	35,575100	7,554440	0,279635	0,003706	0,441360	8,279140
19001,000000	11983,000000	35,575100	7,156860	0,264918	0,003511	0,418131	7,843420
20001,000000	11983,000000	35,575100	6,799030	0,251673	0,003335	0,397226	7,451270

Híbrido-4							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	13,106400	0,482205	0,006552	0,759070	14,354200
2000,500000	2317,000000	35,583200	13,122100	0,483047	0,006566	0,761197	14,372900
3000,900000	3516,000000	35,521300	13,139300	0,482668	0,006557	0,761116	14,389700
4000,900000	4711,000000	35,428100	13,197400	0,484845	0,006588	0,764410	14,453200
5000,900000	5876,000000	35,447200	13,131800	0,482464	0,006548	0,761006	14,381800
6000,900000	7115,000000	35,509100	13,271400	0,487736	0,006615	0,769453	14,535300
7000,900000	8319,000000	35,652600	13,338000	0,490272	0,006652	0,773474	14,608400
8000,900000	9513,000000	35,544700	13,308900	0,488970	0,006635	0,771437	14,576000
9000,900000	10731,000000	35,593600	13,357600	0,490881	0,006657	0,774512	14,629700
10000,900000	11945,000000	35,552700	13,367300	0,491133	0,006662	0,774962	14,640100
11001,000000	11983,000000	35,575100	12,171200	0,447177	0,006064	0,705667	13,330100
12001,000000	11983,000000	35,575100	11,157000	0,409915	0,005558	0,646866	12,219300
13001,000000	11983,000000	35,575100	10,298800	0,378386	0,005131	0,597111	11,279500
14001,000000	11983,000000	35,575100	9,563250	0,351360	0,004764	0,554463	10,473800
15001,000000	11983,000000	35,575100	8,925740	0,327938	0,004447	0,517502	9,775630
16001,000000	11983,000000	35,575100	8,367920	0,307443	0,004169	0,485160	9,164690
17001,000000	11983,000000	35,575100	7,875720	0,289359	0,003924	0,456623	8,625620
18001,000000	11983,000000	35,575100	7,438200	0,273284	0,003706	0,431256	8,146450
19001,000000	11983,000000	35,575100	7,046740	0,258902	0,003511	0,408560	7,717710
20001,000000	11983,000000	35,575100	6,694420	0,245957	0,003335	0,388133	7,331840

b) Valor mínimo FFFFFFFF000000 hex

Sem codificação							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	12,671700	0,425054	0,006552	0,665371	13,768600
2000,500000	2317,000000	35,583200	12,655200	0,419480	0,006566	0,658055	13,739300
3000,900000	3516,000000	35,521300	12,663900	0,417479	0,006557	0,655670	13,743600
4000,900000	4711,000000	35,428100	12,719400	0,418349	0,006588	0,657057	13,801400
5000,900000	5876,000000	35,447200	12,654400	0,415531	0,006548	0,653023	13,729500
6000,900000	7115,000000	35,509100	12,782700	0,419577	0,006615	0,659557	13,868500
7000,900000	8319,000000	35,652600	12,844100	0,421698	0,006652	0,662950	13,935400
8000,900000	9513,000000	35,544700	12,818400	0,420414	0,006635	0,660915	13,906400
9000,900000	10731,000000	35,593600	12,862000	0,421710	0,006657	0,663011	13,953400
10000,900000	11945,000000	35,552700	12,874200	0,421841	0,006662	0,663289	13,966000
11001,000000	11983,000000	35,575100	11,721600	0,384089	0,006064	0,603985	12,715800
12001,000000	11983,000000	35,575100	10,744900	0,352084	0,005558	0,553657	11,656200
13001,000000	11983,000000	35,575100	9,918450	0,325003	0,005131	0,511071	10,759700
14001,000000	11983,000000	35,575100	9,210040	0,301790	0,004764	0,474569	9,991170
15001,000000	11983,000000	35,575100	8,596080	0,281672	0,004447	0,442933	9,325130
16001,000000	11983,000000	35,575100	8,058860	0,264068	0,004169	0,415252	8,742350
17001,000000	11983,000000	35,575100	7,584840	0,248536	0,003924	0,390826	8,228120
18001,000000	11983,000000	35,575100	7,163480	0,234729	0,003706	0,369115	7,771030
19001,000000	11983,000000	35,575100	6,786480	0,222376	0,003511	0,349689	7,362050
20001,000000	11983,000000	35,575100	6,447170	0,211257	0,003335	0,332205	6,993970

Gray							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	8,722480	0,405940	0,006552	0,637017	9,771990
2000,500000	2317,000000	35,583200	8,773240	0,407497	0,006566	0,639915	9,827220
3000,900000	3516,000000	35,521300	8,779550	0,407532	0,006557	0,640442	9,834080
4000,900000	4711,000000	35,428100	8,816080	0,409550	0,006588	0,643477	9,875690
5000,900000	5876,000000	35,447200	8,772970	0,407449	0,006548	0,640473	9,827440
6000,900000	7115,000000	35,509100	8,865870	0,411898	0,006615	0,647559	9,931940
7000,900000	8319,000000	35,652600	8,916670	0,414128	0,006652	0,651064	9,988520
8000,900000	9513,000000	35,544700	8,894940	0,413136	0,006635	0,649509	9,964220
9000,900000	10731,000000	35,593600	8,925640	0,414714	0,006657	0,652051	9,999060
10000,900000	11945,000000	35,552700	8,932800	0,414991	0,006662	0,652524	10,007000
11001,000000	11983,000000	35,575100	8,132920	0,377845	0,006064	0,594172	9,111000
12001,000000	11983,000000	35,575100	7,455230	0,346360	0,005558	0,544662	8,351810
13001,000000	11983,000000	35,575100	6,881800	0,319719	0,005131	0,502768	7,709410
14001,000000	11983,000000	35,575100	6,390270	0,296884	0,004764	0,466858	7,158780
15001,000000	11983,000000	35,575100	5,964280	0,277093	0,004447	0,435737	6,681560
16001,000000	11983,000000	35,575100	5,591540	0,259776	0,004169	0,408505	6,263990
17001,000000	11983,000000	35,575100	5,262650	0,244496	0,003924	0,384476	5,895540
18001,000000	11983,000000	35,575100	4,970290	0,230913	0,003706	0,363118	5,568030
19001,000000	11983,000000	35,575100	4,708710	0,218761	0,003511	0,344007	5,274990
20001,000000	11983,000000	35,575100	4,473290	0,207823	0,003335	0,326808	5,011250

Transition							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	6,901030	0,407873	0,006552	0,638918	7,954380
2000,500000	2317,000000	35,583200	6,925600	0,409510	0,006566	0,642036	7,983710
3000,900000	3516,000000	35,521300	6,928610	0,409425	0,006557	0,642453	7,987050
4000,900000	4711,000000	35,428100	6,957300	0,411084	0,006588	0,644984	8,019960
5000,900000	5876,000000	35,447200	6,927770	0,409220	0,006548	0,642426	7,985960
6000,900000	7115,000000	35,509100	6,999090	0,413343	0,006615	0,648938	8,067990
7000,900000	8319,000000	35,652600	7,037040	0,415815	0,006652	0,652780	8,112280
8000,900000	9513,000000	35,544700	7,022000	0,414724	0,006635	0,651072	8,094430
9000,900000	10731,000000	35,593600	7,046640	0,416267	0,006657	0,653568	8,123130
10000,900000	11945,000000	35,552700	7,049810	0,416525	0,006662	0,654029	8,127030
11001,000000	11983,000000	35,575100	6,418770	0,379247	0,006064	0,595551	7,399630
12001,000000	11983,000000	35,575100	5,883920	0,347646	0,005558	0,545926	6,783050
13001,000000	11983,000000	35,575100	5,431340	0,320906	0,005131	0,503935	6,261310
14001,000000	11983,000000	35,575100	5,043420	0,297986	0,004764	0,467942	5,814110
15001,000000	11983,000000	35,575100	4,707210	0,278121	0,004447	0,436748	5,426530
16001,000000	11983,000000	35,575100	4,413030	0,260740	0,004169	0,409453	5,087390
17001,000000	11983,000000	35,575100	4,153450	0,245403	0,003924	0,385369	4,788150
18001,000000	11983,000000	35,575100	3,922720	0,231770	0,003706	0,363961	4,522160
19001,000000	11983,000000	35,575100	3,716270	0,219572	0,003511	0,344806	4,284160
20001,000000	11983,000000	35,575100	3,530470	0,208594	0,003335	0,327566	4,069960

Híbrido-2							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	12,437400	0,427298	0,006552	0,670188	13,541400
2000,500000	2317,000000	35,583200	12,421000	0,425136	0,006566	0,667528	13,520200
3000,900000	3516,000000	35,521300	12,428700	0,423989	0,006557	0,666352	13,525600
4000,900000	4711,000000	35,428100	12,482900	0,425405	0,006588	0,668508	13,583400
5000,900000	5876,000000	35,447200	12,418900	0,423044	0,006548	0,665141	13,513600
6000,900000	7115,000000	35,509100	12,544700	0,427531	0,006615	0,672348	13,651200
7000,900000	8319,000000	35,652600	12,604400	0,429708	0,006652	0,675814	13,716500
8000,900000	9513,000000	35,544700	12,579100	0,428616	0,006635	0,674122	13,688500
9000,900000	10731,000000	35,593600	12,621800	0,430132	0,006657	0,676585	13,735200
10000,900000	11945,000000	35,552700	12,633500	0,430314	0,006662	0,676926	13,747400
11001,000000	11983,000000	35,575100	11,502400	0,391806	0,006064	0,616407	12,516700
12001,000000	11983,000000	35,575100	10,544000	0,359158	0,005558	0,565044	11,473700
13001,000000	11983,000000	35,575100	9,732940	0,331533	0,005131	0,521583	10,591200
14001,000000	11983,000000	35,575100	9,037780	0,307853	0,004764	0,484329	9,834730
15001,000000	11983,000000	35,575100	8,435300	0,287331	0,004447	0,452043	9,179120
16001,000000	11983,000000	35,575100	7,908130	0,269374	0,004169	0,423792	8,605460
17001,000000	11983,000000	35,575100	7,442970	0,253530	0,003924	0,398865	8,099290
18001,000000	11983,000000	35,575100	7,029500	0,239445	0,003706	0,376707	7,649350
19001,000000	11983,000000	35,575100	6,659540	0,226844	0,003511	0,356881	7,246780
20001,000000	11983,000000	35,575100	6,326580	0,215502	0,003335	0,339038	6,884460

Híbrido-4							
current time	total finished	average Delay	total mem power	total crossbar power	total arbiter power	total link power	total power
0,145110	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000	0,000000
1000,900000	1164,000000	35,178100	12,295000	0,415402	0,006552	0,651771	13,368700
2000,500000	2317,000000	35,583200	12,277700	0,414773	0,006566	0,651317	13,350400
3000,900000	3516,000000	35,521300	12,285300	0,414021	0,006557	0,650673	13,356600
4000,900000	4711,000000	35,428100	12,339100	0,415745	0,006588	0,653271	13,414700
5000,900000	5876,000000	35,447200	12,275500	0,413538	0,006548	0,650102	13,345600
6000,900000	7115,000000	35,509100	12,399600	0,417915	0,006615	0,657104	13,481200
7000,900000	8319,000000	35,652600	12,458300	0,420068	0,006652	0,660499	13,545600
8000,900000	9513,000000	35,544700	12,433300	0,419041	0,006635	0,658904	13,517900
9000,900000	10731,000000	35,593600	12,475600	0,420674	0,006657	0,661528	13,564500
10000,900000	11945,000000	35,552700	12,487100	0,420881	0,006662	0,661900	13,576500
11001,000000	11983,000000	35,575100	11,369100	0,383209	0,006064	0,602711	12,361100
12001,000000	11983,000000	35,575100	10,421800	0,351278	0,005558	0,552490	11,331100
13001,000000	11983,000000	35,575100	9,620160	0,324258	0,005131	0,509994	10,459500
14001,000000	11983,000000	35,575100	8,933060	0,301099	0,004764	0,473568	9,712490
15001,000000	11983,000000	35,575100	8,337560	0,281027	0,004447	0,441999	9,065030
16001,000000	11983,000000	35,575100	7,816490	0,263464	0,004169	0,414376	8,498500
17001,000000	11983,000000	35,575100	7,356730	0,247967	0,003924	0,390002	7,998620
18001,000000	11983,000000	35,575100	6,948040	0,234192	0,003706	0,368337	7,554280
19001,000000	11983,000000	35,575100	6,582370	0,221866	0,003511	0,348952	7,156700
20001,000000	11983,000000	35,575100	6,253270	0,210774	0,003335	0,331505	6,798890